

**Trench storage capacitor for high density DRAM(s) - uses rectangular trench with (100) walls and bottom plane to improve oxide thickness and threshold control with die oriented parallel to (110) planes**

**Patent Assignee:** MITSUBISHI DENKI KK; MITSUBISHI ELECTRIC CORP

**Inventors:** YASUE T

Patent Family							
Patent Number	Kind	Date	Application Number	Kind	Date	Week	Type
DE 4217420	A	19921203	DE 4217420	A	19920526	199250	B
JP 5109984	A	19930430	JP 9279908	A	19920401	199322	
IT 1255293	B	19951026	IT 92MI1295	A	19920526	199617	

Priority Applications (Number Kind Date): JP 9279908 A ( 19920401); JP 91121503 A ( 19910527)

Patent Details					
Patent	Kind	Language	Page	Main IPC	Filing Notes
DE 4217420	A		40	H01L-027/108	
JP 5109984	A		17	H01L-027/04	
IT 1255293	B			H01L-000/00	

**Abstract:**

DE 4217420 A

Semiconductor die, pref. single crystalline Si, has a surface orientation of (100) and 4 side planes consisting of (110) planes. The edges of the die are inside (111) planes. The die contains trenches which have a rectangular cross section with 4 (100) planes as walls and a (100) plane as bottom. This makes the angle between the trench edges and a (110) die-edge plane 45 degrees. The trench has an outer conductive layer, pref. a diffusion layer pref. inside the substrate, along the trench-periphery, an inner conductive layer, pref. polycrystalline Si, and an insulating layer, pref. an oxide layer, between them.

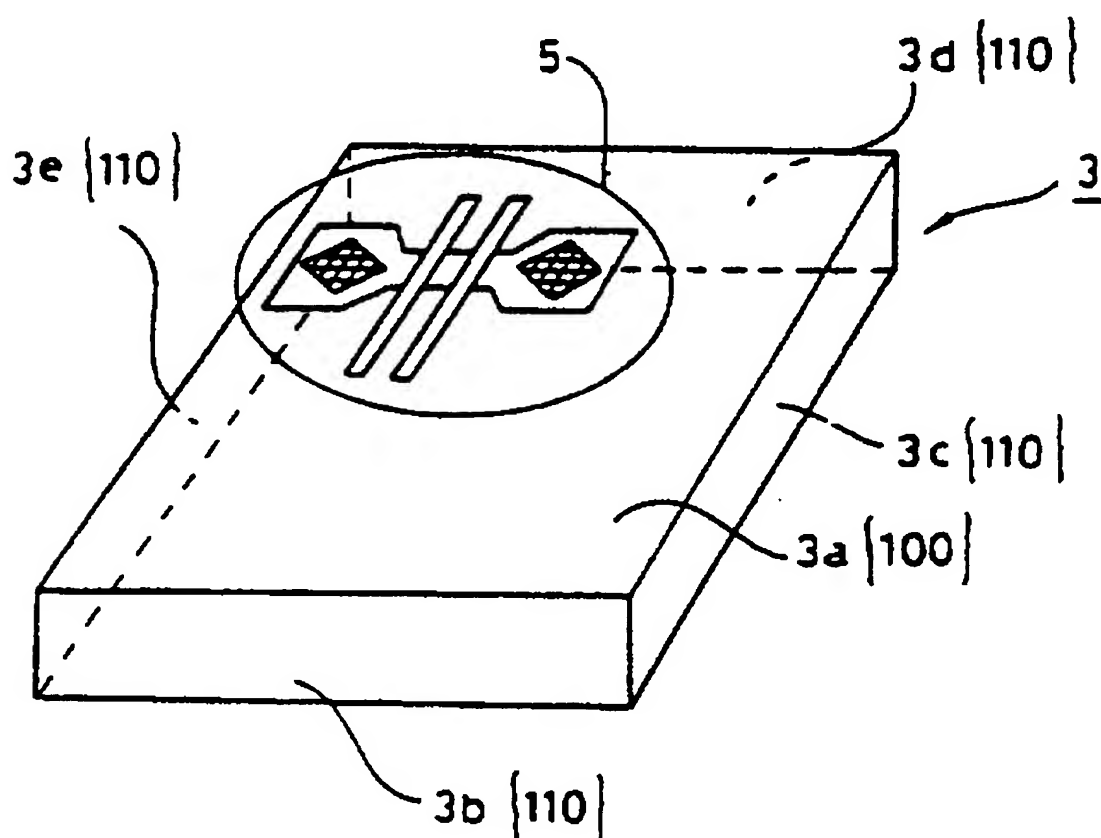
The outer conductive layer pref. forms one of the diffusions in an MOS transistor and the insulating layer is pref. also the gate dielectric of the MOS transistor.

THIS PAGE BLANK (USPTO)

Also claimed is the use of substrates of GaAs, InP and Si-Ge.

The die is pref. cut from a wafer of the substrate material which has a (110) plane as registration edge.

USE/ADVANTAGE - The orientation of the trench walls ensures that the oxide thickness, grown as dielectric layer of the embedded capacitor, has an even thickness along the entire periphery and that the threshold under the inner electrode is controlled. This improves the yield and reliability of the trench capacitors and of the devices using them.



Derwent World Patents Index

© 2004 Derwent Information Ltd. All rights reserved.

Dialog® File Number 351 Accession Number 9280941

THIS PAGE BLANK (USPTO)



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 42 17 420 A 1**

⑤1 Int. Cl. 5:  
**H 01 L 27/108**  
H 01 L 21/72

⑳ Aktenzeichen: P 42 17 420.1  
㉔ Anmeldetag: 26. 5. 92  
㉕ Offenlegungstag: 3. 12. 92

DE 42 17 420 A 1

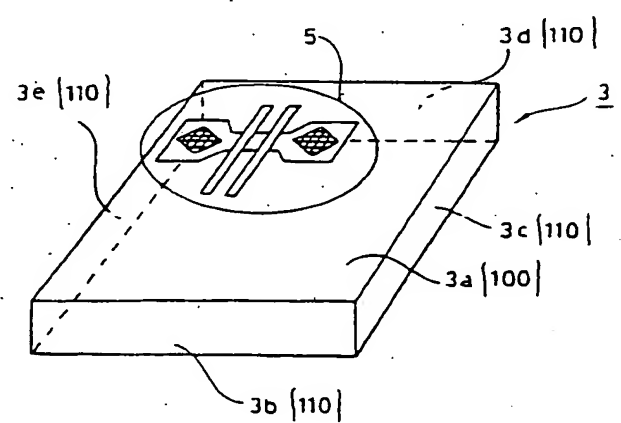
③0 Unionspriorität: ③2 ③3 ③1  
27.05.91 JP 3-121503 01.04.92 JP 4-79908  
⑦1 Anmelder:  
Mitsubishi Denki K.K., Tokio/Tokyo, JP  
⑦4 Vertreter:  
Prüfer, L., Dipl.-Phys.; Materne, J.,  
Dipl.-Phys.Dr.rer.nat.habil., Pat.-Anwälte, 8000  
München

⑦2 Erfinder:  
Yasue, Takao, Itami, Hyogo, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Halbleitereinrichtung und Verfahren zu deren Herstellung

⑤7 Bei einem Siliziumwafer (1), dessen Hauptoberfläche (1a) und Orientierungs-Anschliff (1b) äquivalent zur {100}-Ebene bzw. {110}-Ebene sind, ist die Hauptoberfläche (3a) eines Halbleiterchips (3) äquivalent zur {100}-Ebene, und alle inneren Begrenzungsflächen (7a, 7b, 7c, 7d) eines im Halbleiterchip (3) gebildeten Trench-Kondensators sind äquivalent zur {100}-Ebene. Die vier äußeren Begrenzungsflächen (3b, 3c, 3d, 3e) des Halbleiterchips (3) sind so gewählt, daß sie äquivalent zur {110}-Ebene sind. Damit kann die Dicke einer Oxidschicht (7g) auf jeder inneren Begrenzungsfläche eines Trench-Kondensators (7) auf dem Halbleiterchip (3) gleich gemacht werden. Außerdem ist es möglich, die Bildung von Brüchen in den Chips während des Zerschneidens des Halbleiterwafers (1) zu vermeiden.



DE 42 17 420 A 1

Die vorliegende Erfindung bezieht sich auf eine Halbleitereinrichtung und ein Verfahren zu deren Herstellung und insbesondere auf den Aufbau von auf einem Halbleiterchip gebildeten Gräben (Trenchs) oder Kondensatoren und ein Verfahren zu deren Herstellung.

In den letzten Jahren besteht eine wachsende Nachfrage nach Halbleitereinrichtungen, da Informationsverarbeitungseinrichtungen wie Computer in verbreiteten Gebrauch gekommen sind. Bezüglich ihrer Funktion sind Einrichtungen mit großer Speicherkapazität und hoher Betriebsgeschwindigkeit gefragt. Vor diesem Hintergrund stehen wesentliche Weiterentwicklungen der Halbleitereinrichtungen in Richtung einer höheren Integrationsdichte, größerer Ansprech- bzw. Verarbeitungsgeschwindigkeit und höherer Zuverlässigkeit.

Ein DRAM (dynamischer Speicher mit wahlfreiem Zugriff) ist als Halbleitereinrichtung für die wahlfreie Ein-/Ausgabe von zu speichernder/gespeicherter Information bekannt. Im allgemeinen enthält ein DRAM ein Speicherzellarray als Speichergebiet, in dem eine große Anzahl von Informationseinheiten gespeichert wird und für die Eingabe/Ausgabe von/nach außen benötigte Schaltungen.

Fig. 36 ist ein Blockschaltbild, das den allgemeinen Aufbau eines DRAM zeigt. Wie Fig. 36 zeigt, enthält ein DRAM 50 ein Speicherzellarray 51, einen Zeilen- und Spaltenadreibuffer 52, einen Zeilendekoder 53 und einen Spaltendekoder 54, einen Lese-Auffrischverstärker 55, einen Dateneingabepuffer 56 und einen Datenausgabepuffer 57 und einen Taktgenerator 58.

Das Speicherzellarray 51 dient zum Speichern von Datensignalen der Speicherinformation. Der Zeilen- und Spaltenadreibuffer 52 empfängt externe Adreßsignale  $A_0$  bis  $A_9$  zur Auswahl einer Speicherzelle. Der Zeilendekoder 53 und der Spaltendekoder 54 dienen dazu, durch Dekodieren des Adreßsignale eine Speicherzelle zu bestimmen. Der Lese-Auffrischverstärker dient dazu, das in der ausgewählten (bestimmten) Speicherzelle gespeicherte Signal unter Verstärkung desselben auszulesen. Der Dateneingabepuffer 56 und der Datenausgabepuffer 57 werden zur Ein-/Ausgabe von Daten verwendet. Der Taktgenerator 58 erzeugt als Steuersignale für verschiedene Abschnitte bzw. Teile dienende Taktsignale.

Das Speicherzellarray 51, das auf einem Halbleiterchip eine große Fläche einnimmt, enthält eine Mehrzahl von Speicherzellen, die jede eine Speicherinformationseinheit speichern und in einer Matrix angeordnet sind. Fig. 37 zeigt ein Ersatzschaltbild für 4 Bit Speicherzellen, die das Speicherzellarray 51 bilden. Das Speicherzellarray 51 enthält eine Mehrzahl von Wortleitungen WL, die sich parallel zur Zeilenrichtung erstrecken, und eine Mehrzahl von Bitleitungspaaren BLA, BLB, die sich parallel zur Spaltenrichtung erstrecken. Eine Speicherzelle M ist in der Umgebung eines Kreuzungspunktes zwischen der Wortleitung WL und der Bitleitung BLA, BLB gebildet.

Eine Speicherzelle M enthält einen MOS (Metall-Oxid-Halbleiter) -Feldeffekttransistor Tr und einen Kondensator C. Jede Speicherzelle ist nämlich vom sogenannten Ein-Transistor-Ein-Kondensator-Typ. Als Kondensator C wird ein Trench-Kondensator mit einem in Tiefenrichtung des Substrates gebildeten Graben verwendet, um den Integrationsgrad zu erhöhen. Die Speicherzelle dieses Typs hat einen einfachen Aufbau, ermöglicht leicht die Erhöhung des Integrationsgrades

des Speicherzellarrays und ist daher bei DRAM mit großer Speicherkapazität weit verbreitet.

Auf einem Halbleiterchip ist eine Mehrzahl von oben beschriebenen DRAM gebildet, und der Halbleiterchip wird durch Zerschneiden eines Halbleiterwafers in eine vorbestimmte Gestalt gebildet.

Üblicherweise werden DRAM o. ä. auf einem Halbleiterwafer durch Gasphasenabscheidung, Oxidation, Fotolithografie o. ä. gebildet, und dann wird der Halbleiterwafer zerschnitten, um fertige Halbleiterchips zu liefern.

Wenn auf einem Halbleiterwafer unter Verwendung von Fotolithografie o. ä. DRAMs gebildet werden, wird die Strukturierung üblicherweise bezüglich einer auf dem Halbleiterwafer ebenen Orientierung vorgenommen. Normalerweise wird die Orientierung der Hauptoberfläche des Halbleiterwafers als (100) gewählt, und die DRAMs werden auf der Hauptoberfläche gebildet. In Abhängigkeit von der Anwendung gibt es Orientierungs-Anschlüsse mit (110)- oder (100)-Orientierung.

Nachfolgend wird der Aufbau eines Trench-Kondensators in einem DRAM mit (100)-Hauptoberfläche des Halbleiterwafers und Orientierungs-Anschlüssen entsprechend der (100)- oder (110)-Ebene beschrieben. Zuerst wird ein Beispiel beschrieben, bei dem die Hauptoberfläche des Halbleiterwafers die (100)-Ebene und der Orientierungs-Anschluss die (110)-Ebene ist.

Wie Fig. 38 zeigt, wurden Halbleitereinrichtungen wie DRAMs bereits auf einem Halbleiterwafer 60 mit der (100)-Ebene als Hauptoberfläche 61a und der (110)-Ebene als Orientierungs-Anschluss 61b gebildet. Eine Mehrzahl von Schnitt(Teilungs-)linien 62 und 63 sind senkrecht oder parallel zum Orientierungs-Anschluss 61b gebildet. Durch Teilen bzw. Schneiden des Halbleiterwafers 60 längs der Schnittlinien 62 und 63 wird eine Mehrzahl von Halbleiterchips 64 erhalten.

Wie Fig. 39 zeigt, wird die Orientierung des Halbleiterchips 64, der einer der Mehrzahl der auf diese Weise gebildeten Chips ist, so gewählt, daß die Hauptoberfläche 64a die (100)-Ebene ist und die vier Seitenflächen 64b, 64c, 64d und 64e (110)-Ebenen sind. Eine Mehrzahl von Speicherzellen 65, die ein Speicherzellarray im DRAM bilden, ist auf der Hauptoberfläche 64a gebildet.

Der Aufbau einer Speicherzelle 65 wird unter Bezugnahme auf die Fig. 40 und 41 beschrieben.

Fig. 40 ist eine Draufsicht einer Speicherzelle 65. Fig. 41 ist eine Querschnittsdarstellung längs der Linie X-X in Fig. 40.

Die Speicherzelle 65 enthält einen MOS-Feldeffekttransistor 66 und einen Trench-Kondensator 67. Der MOS-Feldeffekttransistor 66 ist an einer Kreuzung einer durch eine Wortleitung gebildeten Gateelektrode 66a mit einem sich etwa senkrecht zur Längsrichtung der Gateelektrode 66a erstreckenden aktiven Gebiet 66b angeordnet. Der Trench-Kondensator 67 ist auf dem aktiven Gebiet 66b angeordnet. Über dem aktiven Gebiet 66b ist eine Bitleitung 66c angeordnet. Ein Kontaktloch 66e ist zur Verbindung der Bitleitung 66c mit dem Substrat gebildet.

In diesem Falle wird die Strukturierung zur Bildung von Elementen auf dem Halbleiterwafer üblicherweise so ausgeführt, daß die Anordnung jedes Elementes parallel oder rechtwinklig zum Orientierungs-Anschluss ist. Dies geschieht ebenso im Hinblick auf eine Erhöhung der Integrationsdichte der auf dem Halbleiterwafer gebildeten Elemente wie auch auf mögliche Fehler, die zur Strukturierung benötigte Zeit und die Arbeitseffizienz beim Schneiden. Daher sind, wie Fig. 42 zeigt, die

vier Randflächen 67a, 67b, 67c und 67d des Trench-Kondensators 67, der im Halbleiterchip 64 gebildet ist. (110)-Ebenen, und die Bodenfläche 67e ist eine (100)-Ebene.

Es ist bekannt, daß sich die Oxidationsrate in der (100)-Ebene von derjenigen in der (110)-Ebene bei der Bildung einer thermischen Oxidschicht auf einem Halbleitersubstrat durch thermische Oxidation unterscheidet. Beispielsweise wird, wenn unter den gleichen Bedingungen, unter denen auf der (100)-Ebene eine 100 Å-Oxidschicht erzeugt wird, bei Oxidation auf der (110)-Ebene eine 150 Å-Oxidschicht erzeugt, was anzeigt, daß die Oxidationsrate bzw. -geschwindigkeit für die (100)-Ebene niedriger ist. Daraus ergibt sich, daß die Bildung einer Oxidschicht bei Bildung einer Oxidschicht auf der (100)-Ebene leichter gesteuert werden kann. Es ist auch bekannt, daß die Oberflächendichte der (110)-Ebene höher als diejenige der (100)-Ebene ist, was den Nachteil mit sich bringt, daß es schwierig ist, die Schwellspannung zu steuern. Daher sollte die Orientierung der vier Rand- bzw. Seitenflächen des Trench-Kondensators 67 und die Orientierung der Bodenfläche vorzugsweise der (100)-Ebene entsprechen.

Ein Beispiel dafür, daß DRAMs auf einem Halbleiterwafer 70, dessen Hauptoberfläche die (100)-Ebene und deren Orientierungs-Schliff die (100)-Ebene ist, gebildet werden, wird unter Bezugnahme auf die Offenbarung in z. B. der japanischen Patent-Offenlegungsschrift Nr. 60-2 53 263 beschrieben.

Wie Fig. 43 zeigt, werden DRAMs bereits auf einem Halbleiterwafer 70, dessen Hauptoberfläche 70a die (100)-Ebene und dessen Orientierungs-Schliff (71b) eine (100)-Ebene ist, gebildet. Eine Mehrzahl von Schnitt(Teilungs-)linien 72 und 73 sind senkrecht oder parallel zum Orientierung-Schliff 71b auf dem Halbleiterwafer 70 gebildet.

Wie Fig. 44 zeigt, wird die Orientierung des längs der Schnittlinien 73 und 75 geschnittenen Halbleiterchips 74 so eingestellt, daß dessen Hauptoberfläche 74a die (100)-Ebene ist, und daß die vier Rand- bzw. Seitenflächen 74b, 74c, 74d und 74e (100)-Ebenen sind. Der DRAM auf der Hauptoberfläche 74a wird auf ähnliche Weise wie beim oben beschriebenen Halbleiterchip 64 gebildet. Wie Fig. 45 zeigt, werden die vier Randflächen 80a, 80b, 80c und 80d eines Trench-Kondensators 80 in der Speicherzelle 65 so eingestellt, daß sie (100)-Ebenen sind, und die Bodenfläche 80e wird so gewählt, daß sie eine (100)-Ebene hat, und damit können alle inneren Oberflächen des Grabens bzw. der Trench so gewählt werden, daß es (100)-Ebenen sind.

Infolgedessen kann die Dicke der auf dem Trench-Kondensator 80 gebildeten Oxidschichten gleich gemacht werden, was die Zuverlässigkeit der Speicherzelle verbessert.

Wenn jedoch der oben erwähnte Halbleiterwafer 70 verwendet wird, gibt es das Problem, daß beim Gewinnen der Halbleiterchips 74 durch Zerschneiden die Gefahr des Auftretens von Brüchen bzw. Rissen in den Halbleiterchips besteht.

Nachfolgend werden unter Bezugnahme auf die Fig. 46 bis 48 die Bruch-Charakteristiken eines Siliziumwafers beschrieben.

Wie Fig. 46 zeigt, kann die Lagebeziehung zwischen den Orientierungen eines Siliziumwafers durch einen Polyeder mit 26 Begrenzungsflächen ausgedrückt werden. Es ist bekannt, daß es eine der Eigenschaften von Kristallflächen ist, daß Defekte und Spannungen am leichtesten in der Orientierung der (111)-Ebene erzeugt

bzw. bewirkt werden. Wie die Fig. 47 und 48 verdeutlichen sollen, ist es für die Bruchcharakteristiken eines Siliziumwafers 70 mit der (100)-Ebene als Orientierungs-Anschliff 71b wesentlich, daß Brüche tendenziell wahrscheinlicher in der Richtung vorkommen, die mit der Schnittpunktlinie des Orientierungs-Anschliffes und der Hauptoberfläche einen Winkel von 45° einschließt. Dies liegt daran, daß die Schnittpunktlinie der Hauptoberfläche 71a und der (111)-Ebene des Siliziumwafers 70, bei dem die Hauptoberfläche 71a und der Orientierungs-Anschliff 71b beides (100)-Ebenen sind, so liegt, daß sie mit dem Orientierungs-Anschliff 71b einen Winkel von 45° einschließt.

Wenn die Schnittpunktlinie der Hauptoberfläche und die (111)-Ebene des Siliziumwafers, dessen Hauptoberfläche eine (100)-Ebene und dessen Orientierungs-Anschliff eine (100)-Ebene ist, mit dem Orientierungs-Anschliff einen Winkel von 45° einschließt, ist die Richtung der Schnitte zur Bildung der Halbleiterchips aus dem Siliziumwafer senkrecht oder parallel zum Orientierungs-Anschliff. Daher besteht während des Schneidens des Halbleiterwafers die Gefahr des Entstehens von Brüchen bzw. Rissen in diagonaler Richtung der Halbleiterchips. Weiterhin erzeugen Spannungen während der Wärmebehandlungen bzw. insgesamt im Herstellungsverfahren Brüche bzw. Risse in diagonaler Richtung der Halbleiterchips, was zu einer geringeren Ausbeute an Chips führt und die Zuverlässigkeit ihrer Funktion verringert.

Wenn ein herkömmlicher Halbleiterwafer 60 verwendet wird, liegt die Schnittpunktlinie der Hauptoberfläche 61a und der (111)-Ebene senkrecht oder parallel zum Orientierungs-Anschliff, was das dargestellte Problem löst. Dann kann jedoch das Problem der nicht gleichförmigen Dicke der Oxidschichten im Trench-Kondensator nicht gelöst werden.

Es ist Aufgabe der Erfindung, eine Halbleitereinrichtung, insbesondere eine einen Trench-Kondensator enthaltende Einrichtung — etwa einen DRAM — anzugeben, deren Zuverlässigkeit gegenüber herkömmlichen gattungsgemäßen Einrichtungen verbessert ist und deren Aufbau eine höhere Ausbeute bei der Herstellung sichert. Es ist weiter Aufgabe der Erfindung, ein Verfahren zur Herstellung einer solchen Halbleitereinrichtung anzugeben, dessen Ausbeute erhöht ist und mit dem Halbleitereinrichtungen — insbesondere DRAMs — hoher Zuverlässigkeit erzeugt werden.

Unter einem Aspekt weist die Halbleitereinrichtung entsprechend der Erfindung ein Halbleitersubstrat mit einer Hauptoberfläche der (100)-Ebene und vier (110)-Seiten- bzw. -Randflächen auf, wobei eine Schnittpunktlinie der Hauptoberfläche und der (111)-Ebene des Halbleitersubstrats parallel oder senkrecht zu den erwähnten vier Randflächen liegt und ein Graben bzw. eine Trench mit vier als (100)-Flächen gewählten Rand- bzw. Begrenzungsflächen in der Hauptoberfläche des Halbleitersubstrates gebildet ist und die Halbleitereinrichtung weiter eine erste, auf mindestens einer inneren Oberfläche des Grabens gebildete leitende Schicht, eine auf mindestens einer inneren Oberfläche der ersten leitenden Schicht gebildete Isolierschicht und eine zweite, auf der oberen Oberfläche der Isolierschicht gebildete leitende Schicht aufweist.

Die erste leitende Schicht weist bevorzugt in der inneren Oberfläche des erwähnten Grabens bzw. der Trench gebildete Störstellendiffusionsschichten auf.

Die Isolierschicht enthält bevorzugt eine auf der inneren Oberfläche des erwähnten Grabens bzw. der Trench

gebildete Oxidschicht.

Die erste leitende Schicht enthält bevorzugt eine als untere Elektrode des auf der inneren Oberfläche des erwähnten Grabens bzw. der Trench gebildeten Kondensators dienende Störstellendifusionsschicht, die erwähnte Isolierschicht bevorzugt eine als dielektrische Schicht des auf der inneren Oberfläche des Grabens gebildeten Kondensators dienende dielektrische Schicht und die zweite leitende Schicht eine obere Elektrode des Kondensators.

Vorzugsweise weist die erste leitende Schicht eine als untere Kondensatorelektrode dienende Störstellendifusionsschicht auf, die in der Bodenfläche und den vier inneren Begrenzungsflächen der Trench gebildet ist, die Isolierschicht enthält eine als dielektrische Schicht des Kondensators auf der Bodenfläche und den vier inneren Randflächen des Grabens gebildete Oxidschicht, und die zweite leitende Schicht weist die obere Elektrode des Kondensators auf, die so gebildet ist, daß sie mit der dazwischengelegten dielektrischen Schicht über der Störstellendifusionsschicht liegt.

Vorzugsweise sind als Source-/Drain-Gebiete eines MOS-Feldeffekttransistors dienende Störstellendifusionsschichten auf den inneren Randflächen des Grabens bzw. der Trench gebildet, die Isolierschicht weist eine als Gateisolierfilm des MOS-Feldeffekttransistors, der auf der inneren Oberfläche des Grabens gebildet ist, dienende Oxidschicht auf, und die zweite leitende Schicht weist eine Gateelektrode des MOS-Feldeffekttransistors auf.

Mit dieser Anordnung kann eine Oxidschicht gleichförmig auf den vier inneren Oberflächen und der Bodenfläche des Grabens ebenso wie auf der Hauptoberfläche gebildet werden.

Damit können die Eigenschaften der Halbleitereinrichtung verbessert werden.

Nach einem weiteren Aspekt weist die Halbleitereinrichtung gemäß der Erfindung ein Halbleitersubstrat mit einer Hauptoberfläche und vier Rand- bzw. Begrenzungsflächen, einen auf der Hauptoberfläche des Halbleitersubstrates gebildeten MOS-Feldeffekttransistor und einen Trench-Kondensator auf. Als Hauptoberfläche des Halbleitersubstrates ist die (100)-Ebene und als die vier Seitenflächen sind (110)-Ebenen gewählt. Der Trench-Kondensator ist als rechteckiges Prisma, dessen vier Seitenflächen (100)-Ebenen sind, gebildet.

Bei der Erfindung ist die Hauptoberfläche des Halbleiterchips die (100)-Ebene, und die vier seitlichen Oberflächen bzw. Randflächen sind (110)-Ebenen. Ein Graben mit vier inneren Begrenzungsflächen wird als rechteckiges Prisma, das in einer horizontalen Ebene einen rechteckigen Querschnitt aufweist, so gebildet, daß dieses mit der Schnittrichtung einen Winkel von 45° einschließt. Damit sind die vier Rand- bzw. inneren Begrenzungsflächen der im Halbleiterchip gebildeten Trench (100)-Ebenen. Wenn ein Halbleiterwafer, dessen Hauptoberfläche die (100)-Ebene und dessen Orientierungs-Anschnitt die (110)-Ebene ist, verwendet wird und in einer Richtung senkrecht oder parallel zum Orientierungs-Anschnitt eine Teilung durchgeführt wird, liegt die (Ebenen-)Schnittlinie der Hauptoberfläche des Halbleiterwafers mit der (111)-Ebene des Halbleiters parallel oder senkrecht zur Teilungs- bzw. Schnittrichtung.

Nach einem weiteren Aspekt weist die Halbleitereinrichtung entsprechend der Erfindung einen Halbleiterchip eines ersten Leitungstyps in Form eines rechteckigen Prismas und einen auf der Hauptoberfläche des Halbleiterchips gebildeten MOS-Feldeffekttransistor

und Trench-Kondensator auf, wobei die Hauptoberfläche des Halbleiterchips äquivalent zur (100)-Ebene ist und die vier Randflächen äquivalent zur (110)-Ebene sind. Der erwähnte MOS-Feldeffekttransistor weist eine sich in einer Richtung parallel oder rechtwinklig zu den vier Seitenflächen des Halbleiterchips erstreckende Gateelektrode und ein sich in einer zur Gateelektrode rechtwinkligen Richtung erstreckendes aktives Gebiet auf. Der erwähnte Trench-Kondensator ist in einem Graben bzw. einer Trench in Form eines rechteckigen Prismas, dessen vier innere Seitenflächen äquivalent zur (100)-Ebene sind, gebildet.

Da die Schnittrichtungen senkrecht und parallel zur Oberfläche des Orientierungs-Anschnittes sind und die Orientierung jeder inneren Seiten- sowie der Bodenfläche des Trench-Kondensators so gewählt ist, daß sie äquivalent zu (100) ist, wird es möglich, ein Absinken der Integrationsdichte der Schaltelemente dadurch, daß alle Schaltelemente in einem Winkel von 45° zum Orientierungs-Anschnitt angeordnet sind, zu verhindern. Es ist auch möglich, eine Verringerung der Arbeitseffizienz dadurch, daß der gesamte Halbleiterchip unter einem Winkel von 45° mit dem Orientierungs-Anschnitt gebildet ist und die Schnittlinien in einem Winkel von 45° mit dem Orientierungs-Anschnitt angeordnet sind, zu verhindern.

Nach einem weiteren Aspekt der Erfindung ist die Halbleitereinrichtung ein Halbleiterchip mit einer Hauptoberfläche der (100)-Ebene und vier Seitenflächen der (110)-Ebene. Ein Trench-Kondensator ist auf dem Halbleiterchip gebildet. Der Trench-Kondensator weist einen Graben auf, dessen vier innere Randflächen als (100)-Ebenen gewählt sind, und eine Schnittlinie der erwähnten Hauptoberfläche und der (111)-Ebene des Halbleiterchips erstreckt sich parallel oder in rechtem Winkel zur Hauptoberfläche des Halbleiterchips. Auf diese Weise kann eine Oxidschicht gleichförmig bzw. mit gleicher Dicke auf der Hauptoberfläche und den vier inneren Seitenflächen und der Bodenfläche des Grabens gebildet werden.

Damit können die Eigenschaften des Trench-Kondensators verbessert werden.

Nach einem weiteren Aspekt der vorliegenden Erfindung weist die Halbleitereinrichtung einen Halbleiterchip mit einer Hauptoberfläche, vier Seitenflächen und einer in Tiefenrichtung des Substrates von der Hauptoberfläche gebildeten Graben mit vier inneren Randflächen sowie einen MOS-Feldeffekttransistor auf, der ein Paar von Störstellengebieten — wobei ein Gebiet des Halbleitersubstrates längs der inneren Oberfläche des Grabens ein Kanalgebiet ist —, einen auf dem Kanalgebiet gebildeten Gateisolierfilm und eine auf der inneren Oberfläche des Grabens auf dem Gateisolierfilm gebildete Gateelektrode enthält. Die erwähnte Hauptoberfläche ist eine (100)-Ebene, die vier Randflächen sind (110)-Ebenen, und die erwähnten vier inneren Randflächen sind (100)-Ebenen.

Auf diese Weise kann eine Oxidschicht gleichförmig auf der Hauptoberfläche und den vier inneren Randflächen und der Bodenfläche des Grabens gebildet werden.

Damit können die Eigenschaften des MOS-Transistors verbessert werden.

Wie oben beschrieben, können Oxidschichten durch Legen der inneren Seitenflächen des Trench-Kondensators so, daß sie äquivalent zu (100)-Ebenen sind, gleichmäßig gebildet werden. Im Ergebnis dessen kann die Zuverlässigkeit des Trench-Kondensators verbessert werden. Außerdem erleichtert es die Anwendung des



Aufbaus entsprechend der Erfindung, den Herstellungsprozeß für den Trench-Kondensator zu bestimmen, und er führt zu gleichmäßigen und stabilen Bauelementcharakteristiken.

Nach einem Aspekt wird bei dem Verfahren zur Herstellung der Halbleitereinrichtung nach der Erfindung in einem Halbleiterwafer mit einer Hauptoberfläche der (100)-Ebene zuerst ein Graben mit vier als (100)-Ebenen gewählten inneren Randflächen gebildet. Eine erste leitende Schicht wird längs mindestens einer der inneren Oberflächen des Grabens gebildet. Eine Isolierschicht wird auf mindestens einer inneren Oberfläche der ersten leitenden Schicht gebildet. Eine zweite leitende Schicht wird auf der oberen Oberfläche der Isolierschicht gebildet. Der Halbleiterwafer wird längs der Richtung einer Schnittlinie der Hauptoberfläche und der (111)-Ebene des Halbleiterwafers gebildet, und damit werden Halbleiterchips mit vier Seiten- bzw. Randflächen gebildet.

Außerdem ist es, da die Schnittrichtungen rechtwinklig oder parallel zur Oberfläche des Orientierungs-Anschliffes und die Orientierung jeder inneren Randfläche und der Bodenfläche des Trench-Kondensators äquivalent zu (100) gewählt werden, möglich, ein Absinken der Integrationsdichte der Schaltungselemente infolgedessen, daß alle Schaltungselemente in einem Winkel von 45° zum Orientierungs-Anschliff angeordnet werden, zu verhindern. Es ist auch möglich, eine Verringerung der Arbeitseffizienz dadurch, daß der gesamte Halbleiterchip unter einem Winkel von 45° zum Orientierungs-Anschliff gebildet wird und die Teilungslinien unter einem Winkel von 45° mit dem Orientierungs-Anschliff angeordnet werden, zu verhindern.

Nach einem weiteren Aspekt weist das Verfahren zur Herstellung der Halbleitereinrichtung nach der Erfindung die Schritte des Einstellens eines Halbleiterwafers eines ersten Leitungstyps in einer vorbestimmten Orientierung, des Bildens von Speicherelementen, von denen jeder einen MOS-Feldeffekttransistor und einen Trench-Kondensator aufweist, auf dem Halbleiterwafer und des Zerschneidens des Halbleiterwafers in Halbleiterchips, von denen jeder eine Hauptoberfläche und vier seitliche Randflächen aufweist, auf. Gräben (Trenchs) mit vier inneren Randflächen, die als (100)-Ebene gewählt werden, werden in der Hauptoberfläche des Halbleiterwafers gebildet. MOS-Feldeffekttransistoren werden auf der Hauptoberfläche des Halbleiterwafers gebildet. Ein Kondensator wird längs mindestens einer inneren Randfläche des Grabens gebildet. Der Wafer wird längs der Richtung der Schnittlinie der (111)-Ebene des Halbleiterwafers mit der Hauptoberfläche geschnitten. Auf diese Weise werden aus dem Halbleiterwafer Halbleiterchips mit vier (110)-Randflächen gewonnen.

Da die Schnittrichtungen rechtwinklig oder parallel zur Oberfläche des Orientierungs-Anschliffes gewählt werden und die Orientierung jeder Randfläche und der Bodenfläche des Trench-Kondensators so gewählt wird, daß sie äquivalent zu (100) ist, ist es möglich, ein Absinken der Integrationsdichte der Schaltungselemente infolgedessen, daß alle Schaltungselemente unter einem Winkel von 45° mit dem Orientierungs-Anschliff angeordnet sind, zu verhindern. Es ist auch möglich, eine Verringerung der Arbeitseffizienz dadurch, daß der gesamte Halbleiterchip unter einem Winkel von 45° mit dem Orientierungs-Anschliff gebildet wird und die Schnitt(Teilungs-)linien unter einem Winkel von 45° mit dem Orientierungs-Anschliff gezogen werden, zu verhindern.

Nach einem weiteren Aspekt ist das Verfahren zur

Herstellung der Halbleitereinrichtung nach der Erfindung ein Verfahren zur Herstellung eines Halbleiterwafers mit einem MOS-Feldeffekttransistor auf dem Halbleiterwafer mit (100)-Hauptoberfläche, bei dem auf der Hauptoberfläche zuerst ein Graben gebildet wird, dessen vier innere Begrenzungsflächen als (100)-Ebenen eingestellt werden. Die inneren Randflächen des Grabens werden einer Ionenimplantation von Dotierungsstoffen ausgesetzt, um Source-/Drain-Gebiete zu bilden. Ein Gateisolierfilm wird durch thermische Oxidation auf den inneren Oberflächen des Grabens gebildet. Eine Gateelektrode wird auf dem Gateisolierfilm im Graben gebildet. Der Halbleiterwafer wird in Richtung der Schnittlinie der (111)-Ebene des Halbleiterwafers geschnitten.

Es werden Halbleiterchips mit vier Randflächen der (110)-Ebene gewonnen.

Beim Teilen des Siliziumwafers in Halbleiterchips durch Zerschneiden kann verhindert werden, daß die Chipenden während des Zerschneidens abbrechen, da die Schnittlinien parallel zur (111)-Ebene des Siliziumwafers sind. Weiter können Brüche im Chip infolge von während des Herstellungsverfahrens — etwa von Wärmebehandlungen — erzeugter Spannungen vor der Entstehung verhindert werden.

Weiterhin wird eine Verringerung der Kosten des Halbleiterchips und eine Verbesserung seiner Funktions-Zuverlässigkeit möglich.

Weiterhin weist ein Verfahren zur Herstellung einer Halbleiterspeichereinrichtung, mit dem die gestellte Aufgabe gelöst wird, nach der vorliegenden Erfindung die Schritte des Verbringens eines Halbleiterwafers in eine vorbestimmte Orientierung, des Strukturierens eines Speicherelementes mit einem MOS-Feldeffekttransistor und einem Trench-Kondensator auf dem Halbleiterwafer enthaltenden Schaltungselementen und des Zerschneidens des Halbleiterwafers in Halbleiterchips in Form rechteckiger Prismen auf. Die Hauptoberfläche des Halbleiterwafers wird so eingestellt, daß sie äquivalent zur (100)-Ebene ist, und der Orientierungs-Anschliff wird im genannten Schritt der Vorgabe der Orientierung so gewählt, daß er äquivalent zur (110)-Ebene ist. Im erwähnten Schritt des Strukturierens eines Schaltungselementes werden eine einen Bestandteil des MOS-Feldeffekttransistors bildende Gateelektrode und ein sich rechtwinklig zur Längsrichtung der Gateelektrode erstreckendes aktives Gebiet so gemustert, daß sie sich rechtwinklig oder parallel zur Schnittrichtung im Zerschneide-Schritt erstrecken. Alle inneren Randflächen des Trench-Kondensators werden so gemustert, daß sie ein rechteckiges Prisma mit rechteckigem horizontalem Querschnitt bilden, das einen Winkel von 45° mit den Schnittrichtungen einschließt. Während des Zerschneidens wird das Zerschneiden in Richtung parallel und rechtwinklig zum Orientierungs-Anschnitt ausgeführt, so daß alle vier Randflächen des Halbleiterchips äquivalent zur (110)-Ebene sind.

Beim Zerteilen des Halbleiterwafers in Halbleiterchips durch Zerschneiden kann verhindert werden, daß die Chipenden abbrechen, da die Schnittlinien parallel zur (111)-Ebene des Siliziumwafers sind. Weiter können Brüche bzw. Risse im Chip infolge von während des Herstellungsverfahrens — etwa durch Wärmebehandlung — erfolgten Spannungen vor ihrer Entstehung verhindert werden.

Weiter wird eine Verringerung der Kosten des Halbleiterchips und eine Verbesserung seiner Funktions-Zuverlässigkeit möglich.

Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aus der Erläuterung von Ausführungsbeispielen anhand der Figuren.

Von den Figuren zeigen

Fig. 1 das planare Layout der Speicherzelle entsprechend einer Ausführungsform,

Fig. 2 eine teilweise Draufsicht des planaren Layouts der Speicherzelle entsprechend einer Ausführungsform,

Fig. 3 eine Querschnittsdarstellung längs der Linie X-X in Fig. 1,

Fig. 4 eine perspektivische Darstellung eines Siliziumwafers nach einer Ausführungsform,

Fig. 5 eine Darstellung der Beziehungen der Orientierungen der vier Randflächen des Halbleiterchips entsprechend einer Ausführungsform,

Fig. 6 eine Darstellung der Beziehungen zwischen den Orientierungen der vier inneren Randflächen eines Trench-Kondensators nach einer Ausführungsform,

Fig. 7 ein Modell, das die Beziehungen der Orientierungen des Siliziumwafers im Zusammenhang mit der Erfindung zeigt,

Fig. 8 eine Darstellung zur Erläuterung der Bruch-Charakteristiken des Siliziumwafers im Zusammenhang mit der Erfindung,

Fig. 9 die Bruchstücke eines Siliziumwafers im Zusammenhang mit der Erfindung,

Fig. 10 eine Detail-Darstellung einer Retikelmaste im Zusammenhang mit der Erfindung,

Fig. 11 bis 18 Querschnittsdarstellungen, die den ersten bis achten Schritt bei der Herstellung der Speicherzelle einer ersten Ausführungsform zeigen,

Fig. 19 eine Querschnittsdarstellung entsprechend einer weiteren Ausführungsform der Speicherzelle nach der Erfindung,

Fig. 20 eine Draufsicht des planaren Layouts der Speicherzelle nach einer weiteren Ausführungsform,

Fig. 21 eine teilweise Draufsicht des planaren Layouts entsprechend einer weiteren Ausführungsform der Speicherzelle nach der Erfindung,

Fig. 22 eine Querschnittsdarstellung längs der Linie Y-Y in Fig. 21,

Fig. 23 bis 34 Querschnittsdarstellungen, die den ersten bis zwölften Schritt bei der Herstellung der Speicherzelle entsprechend einer weiteren Ausführungsform zeigen,

Fig. 35 einen Querschnitt der Speicherzelle entsprechend einer weiteren Ausführungsform,

Fig. 36 ein Blockschaltbild, das den Gesamtaufbau eines herkömmlichen dynamischen Speichers mit wahlfreiem Zugriff (DRAM) zeigt,

Fig. 37 ein Ersatzschaltbild, das 4 Bit Speicherzellen eines Speicherzellarrays und einen Leseverstärker des in Fig. 36 gezeigten DRAM zeigt,

Fig. 38 eine perspektivische Darstellung eines ganzen herkömmlichen Siliziumwafers,

Fig. 39 eine Draufsicht des planaren Layouts der Speicherzellen herkömmlicher Art,

Fig. 40 eine teilweise Draufsicht des planaren Layouts von Speicherzellen herkömmlicher Art,

Fig. 41 eine Querschnittsdarstellung längs der Linie X-X in Fig. 40,

Fig. 42 eine herkömmliche Anordnung eines Trench-Kondensators,

Fig. 43 eine perspektivische Darstellung des gesamten Halbleiterwafers herkömmlicher Art,

Fig. 44 eine Draufsicht des planaren Layouts herkömmlicher Speicherzellen,

Fig. 45 eine teilweise Draufsicht der Anordnung her-

kömmlicher Speicherzellen in der Ebene,

Fig. 46 ein Modell, das die Beziehungen der Orientierung des Siliziumwafers herkömmlicher Art verdeutlicht,

Fig. 47 eine Darstellung zur Verdeutlichung der Bruch-Charakteristiken des herkömmlichen Siliziumwafers und

Fig. 48 die Bruchstücke eines Siliziumwafers in herkömmlicher Ausführung.

Nachfolgend werden unter Bezugnahme auf die Fig. 1 bis 9 Ausführungsformen der erfindungsgemäßen Halbleitereinrichtung — insbesondere eine auf einen DRAM angewandte Ausführungsform — beschrieben.

Wie Fig. 1 zeigt, ist auf einem Halbleiterchip 3 in Form eines rechteckigen Prismas unter Verwendung einkristallinen Siliziums eine Speicherzelle 5 gebildet. Obgleich in Fig. 1 nur eine Speicherzelle 5 gezeigt ist, ist in der Praxis hier eine Mehrzahl von Speicherzellen gebildet.

Nachfolgend wird unter Bezugnahme auf die Fig. 2 bis 3 der Aufbau der Speicherzelle 5 beschrieben. Fig. 2 ist eine Draufsicht der Speicherzelle 5. Fig. 3 ist eine Querschnittsdarstellung in Richtung des Pfeils X-X in Fig. 2.

Auf der Hauptoberfläche des Halbleiterchips 3 ist eine Gateelektrode 6a, die sich parallel oder rechtwinklig zu den vier Seitenflächen 3b, 3c, 3d und 3e des Halbleiterchips 3 erstreckt, gebildet. Ein aktives Gebiet 6b ist in einer Richtung rechtwinklig zur Gateelektrode 6a gebildet. Eine Bitleitung 6c ist über dem aktiven Gebiet 6b angeordnet.

In einem aktiven Gebiet 6b unmittelbar unterhalb der Gateelektrode 6a, die die Bitleitung 6c kreuzt, sind ein Source-Gebiet 13 und ein Drain-Gebiet 14 mit n-Dotierungen gebildet. Ein MOS-Feldeffekttransistor 6 wird durch die erwähnte Gateelektrode 6a, eine Oxidschicht 7g sowie das Source-Gebiet 13 und das Drain-Gebiet 14 gebildet. Ein Graben bzw. eine Trench 7a in Form eines rechteckigen Prismas ist im aktiven Gebiet 6b gebildet. Die vier inneren Begrenzungs- bzw. Randflächen des Grabens schließen einen Winkel von 45° mit den vier äußeren Begrenzungs- bzw. Randflächen des Halbleiterchips 3 ein. Eine leitende Schicht 7f mit n-Dotierungen ist bis zu einer vorbestimmten Tiefe von der inneren Randfläche der Trench 7a gebildet. Eine Oxidschicht 7g ist auf der oberen Oberfläche der leitenden Schicht 7f gebildet. Polykristallines Silizium 7h ist unter Dazwischenlegen der Oxidschicht 7g in den Graben 7a gefüllt. Die leitende Schicht 7f, die Oxidschicht 7g und das polykristalline Silizium 7h bilden einen Trench-Kondensator 7. Das Drain-Gebiet 14 ist elektrisch mit der leitenden Schicht 7f verbunden. Der MOS-Feldeffekttransistor 6 und der Trench-Kondensator 7 bilden eine sogenannte Ein-Transistor-Ein-Kondensator-Speicherzelle. Ein Kontaktloch 9 ist auf der Hauptoberfläche des Substrates 4 zur Verbindung der Bitleitung 6c mit dem Substrat vorgesehen. Der Halbleiterchip mit der Mehrzahl von darauf gebildeten Speicherzellen 5 wird durch Zerschneiden des Siliziumwafers 1, wie in Fig. 4 gezeigt, gebildet. Bei dieser Ausführungsform ist die Orientierung des Siliziumwafers 1 wie folgt: Die Hauptoberfläche ist äquivalent zur (100)-Ebene, und der Orientierungs-Anschliff 1b ist äquivalent zur (110)-Ebene. Die Richtung für das Teilen des Siliziumwafers 1 verläuft längs der Linie 2a parallel zum Orientierungs-Anschliff 1b und längs der Linie 2b senkrecht zum Orientierungs-Anschliff 1b. Infolgedessen haben alle vier Seitenflächen 3b, 3c, 3d und 3e des Halbleiterchips 3 die Orientierung

der (110)-Ebene, wie in Fig. 5 gezeigt. Wie Fig. 6 zeigt, haben alle vier inneren Randflächen 7a, 7b, 7c und 7d und die Bodenfläche 7e des in der Speicherzelle 5 gebildeten Grabens die Orientierung der (100)-Ebene, und damit kann die Dicke der auf den entsprechenden Oberflächen gebildeten Oxidschichten gleich gemacht werden.

Bruchcharakteristiken eines Siliziumwafers werden unter Bezugnahme auf die Fig. 7 bis 9 beschrieben. Die Beziehung zwischen den Orientierungen eines Siliziumwafers 1 kann durch das Modell eines 26flächigen Polyeders, wie er in Fig. 7 gezeigt ist, dargestellt werden. Es ist bereits als eine wesentliche Eigenschaft von Kristallflächen bekannt, daß Defekte und Spannungen am leichtesten in (111)-Orientierung zu erzeugen sind. Die Bruchcharakteristiken eines Siliziumwafers 1 mit einer Hauptoberfläche 1a und einem Orientierungs-Anschliff 1b, die äquivalent zur (110)-Ebene bzw. zur (110)-Ebene sind, sind dadurch ausgezeichnet, daß ein Bruch in einer Richtung parallel oder rechtwinklig zum Orientierungs-Anschliff 1b am wahrscheinlichsten ist, wie in Fig. 8 und 9 gezeigt. Dies liegt daran, daß die Ebenen-Schnittlinie 11 der Hauptoberfläche 1a und der (111)-Ebene des Siliziumwafers 1 mit einer Hauptoberfläche 1a in (110)-Ebene und einem Orientierungs-Anschliff 1b in (110)-Ebene parallel oder senkrecht zum Orientierungs-Anschliff 1b ist. Daher sind, wenn der Siliziumwafer 1 durch Zerschneiden in Halbleiterchips geteilt wird, die Teilungslinie beim Zerschneiden und die Schnittlinie der Hauptoberfläche und der in (111)-Ebene parallel zueinander.

Aus dem Vorangehenden wird klar, daß die Oxidschichten so gebildet werden, daß sie gleiche Dicke haben, da die vier inneren Randflächen und die Bodenfläche der Trench so gewählt werden, daß sie die gleiche Orientierung (100) wie die Hauptoberfläche haben. Da die Schnittlinie der Hauptoberfläche und der (111)-Ebene parallel zur Teilungslinie gemacht wird, kann ein Abbrechen der Endabschnitte des Chips während des Zerteilens verhindert werden.

Ein Verfahren zur Herstellung der Speicherzelle 5 wird unter Bezugnahme auf die Fig. 10 bis 18 beschrieben.

Zuerst wird, wie Fig. 11 zeigt, die Hauptoberfläche 1a eines Siliziumwafers (im folgenden als Substrat bezeichnet) 1, auf dem die Speicherzelle 5 gebildet wird, als (100)-Ebene vorgegeben, und der Orientierungs-Anschliff 1b wird als (111)-Ebene vorgegeben. Danach wird auf dem Substrat 1 mittels des LOCOS-Verfahrens und selektiver Oxidation eine Feldoxidschicht 8 ausgebildet.

Dann wird, wie Fig. 12 zeigt, auf der Oberfläche des Substrates eine Resistschicht 10 aufgebracht, und ein Mustern bzw. Strukturieren der Resistschicht wird mittels Fotolithografie unter Verwendung einer Retikelmaste 30 mit rechteckigen Löchern, die unter 45° bezüglich der Bezugsebene des Orientierungs-Anschliffes geneigt sind, ausgeführt, wie in Fig. 10 gezeigt. Danach wird ein Graben in Form eines rechteckigen Prismas, dessen innere Randflächen unter einem Winkel von 45° gegenüber der Oberfläche des Orientierungs-Anschliffes geneigt sind, durch anisotropes Ätzen gebildet. Dadurch wird vorgegeben, daß die vier inneren Randflächen 72a, 72b, 72c, 72d und die Bodenfläche 72e des Grabens 72 alle die Orientierung der (100)-Ebene haben.

Wie Fig. 13 zeigt, wird die Resistschicht 10 mit Ausnahme des Abschnittes zwischen den Gräben 72 entfernt. Danach wird auf der Oberfläche des Substrates und auf den inneren Randflächen und auf der Bodenflä-

che des Grabens durch Einführen von Phosphor o. ä. in das Substrat 1 mittels geeigneter Rotationsionenimplantation eine leitende Schicht 7f vom n-Typ gebildet.

Danach wird, wie Fig. 14 zeigt, auf der gesamten Hauptoberfläche 1a des Substrates und auf den vier inneren Randflächen 72a, 72b, 72c und 72d sowie der Bodenfläche 72e des Grabens 72 mit einer Dicke von etwa 50–100 Å durch thermische Oxidation eine Oxidschicht 7g gebildet. Zu dieser Zeit kann, da die Orientierungen der Hauptoberfläche 1a und der Begrenzungsflächen 72a bis 72d und der Bodenfläche 72e alle als die der (100)-Ebene gewählt sind, die Oxidschicht überall mit gleicher Dicke gebildet werden.

Wie Fig. 15 zeigt, wird auf der gesamten Oberfläche des Substrates und im Graben 72 polykristallines Silizium 7h abgeschieden. Danach wird, wie Fig. 16 zeigt, zur Entfernung des abgeschiedenen polykristallinen Siliziums 7h von einem Gebiet, wo der MOS-Feldeffekttransistor gebildet werden soll, eine Resistschicht 12 mit einer vorbestimmten Gestalt ausgebildet, und dann wird das Polysilizium 7h durch anisotropes Ätzen entfernt.

Danach wird, wie Fig. 17 zeigt, eine Gateelektrode 6a gebildet, und danach werden n-Dotierungsstoffe wie Phosphor in das Substrat 1 eingebracht, um das Source-Gebiet 13 und das Drain-Gebiet 14 als n-Störstellendifusionsgebiete zu bilden. Zu dieser Zeit wird das Drain-Gebiet 14 elektrisch mit der leitenden Schicht 7f verbunden.

Danach wird, wie Fig. 18 zeigt, auf der Oberfläche des Substrates 1 ein Zwischenschichtisolierfilm 15 aus beispielsweise  $\text{SiO}_2$  ausgebildet. Dann wird im Zwischenschichtisolierfilm 15 ein das Source-Gebiet 13 erreichendes Kontaktloch 9 gebildet, und eine Bitleitung 6c aus Polyzid wird in einer Richtung senkrecht zur Richtung der Gateelektrode 6a auf der Oberfläche des Substrates 1 gebildet. Damit wird die Halbleitereinrichtung nach der vorliegenden Ausführungsform fertiggestellt.

Obgleich für den Halbleiterwafer bei der beschriebenen Ausführungsform einkristallines Silizium verwendet wird, ist die Erfindung darauf nicht beschränkt, und der gleiche Effekt kann unter Verwendung von durch epitaxiales Aufwachsen gewonnenem Silizium erreicht werden. Zudem können die gleichen Effekte mit einem Verbindungshalbleiter, der etwa Galliumarsenid ( $\text{GaAs}$ ), Indiumphosphid ( $\text{InP}$ ), Silizium/Germanium ( $\text{Ge/Si}$ ) o. ä. aufweist, erzielt werden.

Die gleichen Effekte können auch bei Ersetzung der Oxidschicht 7g, die innerhalb des Trench-Kondensators 7 gebildet ist, durch eine aus einer Oxidschicht und einer Nitridschicht zusammengesetzte Schicht erreicht werden.

Obgleich bei der beschriebenen Ausführungsform als untere Elektrode des Kondensators eine leitende Schicht 7f vom n-Typ vorgesehen ist, wird die leitende Schicht 7f überflüssig, wenn — wie in Fig. 19 gezeigt — ein p-Halbleitersubstrat verwendet wird, wobei das p-Halbleitersubstrat als untere Elektrode des Kondensators verwendet werden kann.

Nachfolgend wird eine weitere Ausführungsform der DRAM-Speicherzelle entsprechend der Erfindung beschrieben.

Wie Fig. 20 zeigt, ist auf einer Hauptoberfläche 16a eines Halbleiterchips 16 mit einer Hauptoberfläche der (100)-Ebene und vier Randflächen der (110)-Ebene, der durch Zerschneiden eines p-Siliziumwafers mit einer Hauptoberfläche der (100)-Ebene und einem Orientierungs-Anschliff der in (110)-Ebene erhalten wurde, eine Mehrzahl von Speicherzellen 17 gebildet.

Fig. 21 ist eine Draufsicht einer Speicherzelle 17. Fig. 22 ist ein Querschnitt längs der Linie Y-Y in Fig. 21.

Wie Fig. 21 zeigt, ist eine Mehrzahl von aus  $n^+$ -Dotierungsgebieten gebildeten Bitleitungen 19 in einer Richtung parallel oder senkrecht zu den vier äußeren Randflächen des p-Halbleitersubstrates 21 auf dem Substrat 21 gebildet. Eine Mehrzahl von Wortleitungen 18 ist senkrecht zu den Bitleitungen 19 gebildet. An jeder Kreuzung einer Bitleitung 19 mit der Wortleitung 18 ist eine Trench 20 mit vier einen Winkel von  $45^\circ$  mit der Bitleitung und der Wortleitung einschließenden inneren Randflächen gebildet.

Wie Fig. 22 zeigt, ist auf der Hauptoberfläche des p-Halbleitersubstrates 21 eine durch eine Trennoxidschicht 25 isolierte Speicherzelle 17 gebildet. Die Speicherzelle 17 weist einen NMOS-Feldeffekttransistor und einen Trench-Kondensator auf.

Der NMOS(n-Kanal-MOS)-Feldeffekttransistor weist  $n^+$ -Dotierungsgebiete 19 und 26, die als Drain-/Source-Gebiete dienen, ein zwischen diesen Gebieten angeordnetes Kanalgebiet 105 und eine auf dem Kanalgebiet 105 mit einem Gateoxidfilm 24 dazwischen angeordnete Gateelektrode 18 auf. Das Kanalgebiet 105 besteht unterhalb des Gateoxidfilms 24 längs des Seitenwand-Abschnittes des in der Hauptoberfläche des p-Halbleitersubstrates 21 gebildeten Grabens.

Der Kondensator enthält eine Kondensatorelektrode 23, die so gebildet ist, daß sie mit dem einen Bestandteil des NMOS-Feldeffekttransistor bildenden  $n^+$ -Dotierungsgebiet 26 verbunden ist, eine Kondensatoroxidschicht 22 und das p-Halbleitersubstrat 21.

Die Kondensatorelektrode 23 ist aus einer in dem im p-Siliziumsubstrat 21 gebildeten Graben eingebettete Polysiliziumschicht gebildet. Das  $n^+$ -Dotierungsgebiet 26 ist um die Kondensatorelektrode 23 herum angeordnet. Die einem Bestandteil des NMOS-Feldeffekttransistors bildende Gateelektrode 18 ist aus einer  $n^+$ -Polysiliziumschicht gebildet und dient auch als Wortleitung. Auf diese Weise ist ein longitudinaler NMOS-Feldeffekttransistor auf dem Seitenwandabschnitt des für den Kondensator vorgesehenen Grabens gebildet.

Nachfolgend wird das Verfahren zur Herstellung des DRAM nach dieser Ausführungsform beschrieben. Die Fig. 23 bis 34 sind Querschnittsdarstellungen, die in ihrer Reihenfolge die Schritte des Verfahrens zur Herstellung der Speicherzelle gemäß der Erfindung entsprechend dem in Fig. 22 gezeigten Querschnittsaufbau darstellen.

Wie Fig. 23 zeigt, wird auf der Hauptoberfläche eines p-Halbleitersubstrates 21 mittels des LOCOS-Verfahrens eine Trennoxidschicht 25 gebildet. Dann wird, wie Fig. 24 zeigt, eine Resistschicht 27 auf die Oberfläche des Substrates 21 aufgebracht. Danach wird unter Verwendung einer Retikelmaste (siehe Fig. 10) mit einer Mehrzahl von rechteckigen Öffnungen, die um  $45^\circ$  gegenüber der Bezugsoberfläche des Orientierungs-Anschliffes geneigt sind, die Resistschicht mittels Fotolithografie gemustert. Danach werden Gräben 20 in Form rechteckiger Prismen, deren Seitenflächen um  $45^\circ$  bezüglich der Oberfläche des Orientierungs-Anschliffes geneigt sind, durch anisotropes Ätzen gebildet. Auf diese Weise werden alle vier inneren Randwände und die Bodenfläche des Grabens als (100)-Ebenen vorgegeben.

Dann wird, wie Fig. 25 zeigt, eine Oxidschicht 22 mit einer Dicke von etwa 50–100 Å auf den inneren Oberflächen des Grabens 20 und auf der gesamten Oberfläche des Substrates durch thermische Oxidation gebildet. Zu dieser Zeit kann, da die vier inneren Randflächen und

die Bodenfläche des Grabens alle als (100)-Ebenen vorgegeben sind, die Oxidschicht mit überall gleicher Dicke gebildet werden.

Dann wird, wie Fig. 26 zeigt, ein Resist 28 auf den inneren Oberflächen des Grabens 20 und auf der gesamten Hauptoberfläche gebildet. Dann wird, wie Fig. 27 zeigt, die erwähnte Resistschicht 28 mittels eines Rückätzverfahrens entfernt, wobei der Resist 28 mit einer vorbestimmten Tiefe im Graben 20 verbleibt.

Danach wird, wie Fig. 28 zeigt, die Oxidschicht 22 unter Verwendung des im Graben 20 verbliebenen Resists 28 als Maske selektiv entfernt, und eine als Kondensatorisolierschicht des Kondensators dienende Oxidschicht 22 wird auf dem Boden des Grabens 20 gebildet.

Dann wird, wie Fig. 29 zeigt,  $n^+$ -Polysilizium 23 im Graben und auf der gesamten Oberfläche des Substrates abgeschieden. Wie Fig. 30 zeigt, wird eine (nicht gezeigte) Resistschicht auf die obere Oberfläche des  $n^+$ -Polysiliums 23 aufgebracht, das  $n^+$ -Polysilizium 23 durch ein Rückätzverfahren rückgeätzt, und damit verbleibt das  $n^+$ -Polysilizium 23 mit einer vorbestimmten Tiefe bzw. im Graben 20. Das Polysilizium 23 dient als Kondensatorelektrode des Kondensators.

Wie Fig. 31 zeigt, wird das erwähnte  $n^+$ -Polysilizium 23 getempert, wodurch Dotierungsstoffe in der  $n^+$ -Polysiliziumschicht 23 in das Siliziumsubstrat 21 diffundiert werden, was zur Bildung des  $n^+$ -Dotierungsgebietes 26 führt.

Wie Fig. 32 zeigt, wird durch Ionenimplantation von  $n$ -Dotierungsstoffen wie Phosphor in die Oberfläche des Substrates und thermisches Eindiffundieren derselben ein als Bitleitung dienendes  $n^+$ -Dotierungsgebiet 19 gebildet.

Wie Fig. 33 zeigt, wird mittels des CVD-Verfahrens auf der gesamten Oberfläche des Substrates, auf den vier inneren Randoberflächen des Grabens und auf der  $n^+$ -Polysiliziumschicht 23 im Graben eine Gateisolierschicht 24 ausgebildet. Auch in dieser Phase kann die Oxidschicht gleichförmig gebildet werden, da die vier inneren Randflächen des Grabens und die Oberfläche des Substrates alle (100)-Ebenen sind.

Wie Fig. 34 zeigt, wird auf der Oberfläche des Substrates und im Graben eine Wortleitung 18 aus beispielsweise Polysilizium gebildet. Auf diese Weise wird die Speicherzelle des DRAM entsprechend der Ausführungsform fertiggestellt.

Auf die oben beschriebene Weise wird es möglich, Oxidschichten auf der Hauptoberfläche und den inneren Oberflächen des Grabens mit gleichmäßiger Dicke zu bilden, da die vier inneren Randflächen des im Substrat vorgesehenen Grabens die Orientierung der (100)-Ebene aufweisen. Weiter wird es möglich, einen MOS-Feldeffekttransistor auf der Seitenfläche des Grabens zu bilden. Dies führt zu einer weiteren Miniaturisierung der Speicherzellen und einer höheren Integrationsdichte des DRAM.

Nachfolgend wird eine weitere Ausführungsform der DRAM-Speicherzelle in Realisierung der Erfindung beschrieben.

Wie Fig. 35 zeigt, ist – im Vergleich mit den oben beschriebenen Ausführungsformen des DRAM – im DRAM nach dieser Ausführungsform das einen Bestandteil des NMOS-Feldeffekttransistors bildende Kanalgebiet 105 von der Oberfläche des Substrates zur Seitenwand des Grabens hin gebildet.

Da die Substratoberfläche als (100)-Ebene und die inneren Oberflächen des Grabens als (100)-Ebenen vor-

gegeben sind, können die gleichen Effekte wie oben beschrieben auch dann erreicht werden, wenn der NMOS-Feldeffekttransistor so gebildet ist, daß er die Oberfläche des Substrates und die innere Oberfläche des Grabens überbrückt.

#### Patentansprüche

1. Halbleitereinrichtung mit einem Halbleitersubstrat mit einer Hauptoberfläche (3a) der (100)-Ebene und vier äußeren Begrenzungsflächen (3c, 3d, 3e, 3f) der (110)-Ebene, einer Schnittlinie (11) der Hauptoberfläche (3a) mit einer (111)-Ebene des Halbleitersubstrates (1), die parallel oder senkrecht zu den vier äußeren Begrenzungsflächen ist, einem Graben (7) mit vier inneren Begrenzungsflächen (7a, 7b, 7c, 7d) und einer Bodenfläche (7e), die als (100)-Ebenen vorgegeben sind, in der Hauptoberfläche (3a) des Halbleitersubstrates (1), wobei das Substrat eine längs mindestens einer inneren Begrenzungsfläche des Grabens gebildete erste leitende Schicht (7f), eine auf mindestens einer inneren Oberfläche der ersten leitenden Schicht (7f) gebildete Isolierschicht (7g) und eine auf einer oberen Oberfläche der Isolierschicht (7g) gebildete zweite leitende Schicht (7h) aufweist.
2. Halbleitereinrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die erste leitende Schicht (7f) das Halbleitersubstrat (1) selbst ist.
3. Halbleitereinrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die erste leitende Schicht (7f) eine in der inneren Oberfläche des Grabens (7) gebildete Störstellendiffusionsschicht aufweist.
4. Halbleitereinrichtung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Isolierschicht (7g) eine auf der inneren Oberfläche des Grabens (7) gebildete Oxidschicht aufweist.
5. Halbleitereinrichtung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die erste leitende Schicht (7f) eine als untere Elektrode eines auf mindestens einer der vier inneren Begrenzungsflächen (7a bis 7d) und der Bodenfläche (7e) des Grabens (7) gebildeten Kondensators dienende Störstellendiffusionsschicht aufweist, die Isolierschicht (7g) eine als dielektrische Schicht des auf der inneren Oberfläche des Grabens dienende Oxidschicht aufweist und die zweite leitende Schicht (7h) eine obere Elektrode des Kondensators aufweist.
6. Halbleitereinrichtung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die erste leitende Schicht (7f) eine als dielektrische Schicht eines auf den vier inneren Begrenzungsflächen (7a bis 7d) und auf der Bodenfläche (7e) des Grabens gebildeten Kondensators dienende Oxidschicht und die zweite leitende Schicht (7h) eine obere Elektrode des Kondensators aufweist, die so gebildet ist, daß sie mit der dielektrischen Schicht dazwischen mit der Störstellendiffusionsschicht überlappt.
7. Halbleitereinrichtung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die erste leitende Schicht (7f) als Source-/Drain-Gebiete eines MOS-Feldeffekttransistors (5), der auf der inneren Oberfläche des Grabens gebildet ist, dienende Störstellendiffusionsschichten aufweist, daß die

Isolierschicht (7g) eine als Gateisolierfilm des MOS-Feldeffekttransistors auf der inneren Oberfläche des Grabens (7) dienende Oxidschicht aufweist und daß die zweite leitende Schicht (7h) eine Gateelektrode des MOS-Feldeffekttransistors aufweist.

8. Halbleitereinrichtung nach Anspruch 5 oder 6, dadurch gekennzeichnet, daß der die Störstellendiffusionsschicht (7f), die Oxidschicht (7g) und die leitende Schicht (7h) aufweisende Kondensator zusammenhängend längs der inneren Oberfläche des Grabens und der Hauptoberfläche des Halbleiterchips (3) benachbart zum Graben (7) gebildet ist.

9. Halbleitereinrichtung nach Anspruch 6, dadurch gekennzeichnet, daß der die Störstellendiffusionsschicht (7f), die Oxidschicht (7g) und die leitende Schicht (7h) aufweisende Kondensator zusammenhängend längs der vier inneren Begrenzungsflächen (7a, 7b, 7c, 7d) und der Bodenfläche (7e) des Grabens und der Hauptoberfläche (3a) des Halbleiterchips (3) in der Umgebung des Grabens gebildet ist.

10. Halbleitereinrichtung nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß eine Schnittlinie (11) der Hauptoberfläche (3a) mit der in (111)-Ebene des Halbleitersubstrates (21) eine obere Seite des Grabens (7) unter einem Winkel von 45° schneidet.

11. Halbleitereinrichtung nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, daß eine obere Seite des Grabens (7) und eine seitliche Begrenzungsfläche des Halbleiterchips (3) einander unter einem Winkel von 45° schneiden.

12. Halbleitereinrichtung mit einem Halbleitersubstrat (1) mit einer Hauptoberfläche (3a) und vier seitlichen Begrenzungsflächen (3b, 3c, 3d, 3e) und einem auf der Hauptoberfläche (3a) des Halbleitersubstrates (1) gebildeten MOS-Feldeffekttransistor (5) und Trench-Kondensator (7), wobei die Hauptoberfläche (3a) des Halbleitersubstrates (1) die (100)-Ebene ist und die vier seitlichen Begrenzungsflächen (3b, 3c, 3d, 3e) (110)-Ebenen sind und der Trench-Kondensator als Graben in Form eines rechteckigen Prismas mit vier inneren Begrenzungsflächen (7a, 7b, 7c, 7d) gebildet ist, die (100)-Ebenen sind.

13. Halbleitereinrichtung nach Anspruch 12, dadurch gekennzeichnet, daß der MOS-Feldeffekttransistor (5) eine sich parallel oder senkrecht zu den vier seitlichen Begrenzungsflächen (3b bis 3e) des Halbleitersubstrates (1) erstreckende Gateelektrode (6a) und ein sich in einer Richtung senkrecht zur Gateelektrode (6a) erstreckendes aktives Gebiet (6b) aufweist.

14. Halbleitereinrichtung nach Anspruch 12 oder 13, dadurch gekennzeichnet, daß das Halbleitersubstrat (1) aus einkristallinem Silizium besteht.

15. Halbleitereinrichtung nach einem der Ansprüche 12 bis 14, dadurch gekennzeichnet, daß das Halbleitersubstrat (1) mindestens eine Halbleiterverbindung aus der aus Galliumarsenid, Indiumphosphid und Silizium-Germanium bestehenden Gruppe aufweist.

16. Halbleitereinrichtung nach einem der Ansprüche 12 bis 15, dadurch gekennzeichnet, daß der Trench-Kondensator (7) eine Störstellendiffusionsschicht (7f) in der inneren Oberfläche aufweist.

17. Halbleitereinrichtung nach einem der Ansprüche



- che 12 bis 16, dadurch gekennzeichnet, daß der Trench-Kondensator (7) eine Oxidschicht (7g) auf einer inneren Oberfläche des Grabens aufweist.
18. Halbleitereinrichtung nach einem der Ansprüche 12 bis 17, dadurch gekennzeichnet, daß der Trench-Kondensator im Graben polykristallines Silizium (7h) aufweist.
19. Halbleitereinrichtung nach einem der Ansprüche 12 bis 18, dadurch gekennzeichnet, daß das Drain-Gebiet des MOS-Feldeffekttransistors (5) elektrisch mit einer in der inneren Oberfläche des Grabens des Trench-Kondensators (7) vorgesehenen Störstellendifusionsschicht (7f) verbunden ist.
20. Halbleitereinrichtung nach einem der Ansprüche 12 bis 19, gekennzeichnet durch eine elektrisch mit dem im MOS-Feldeffekttransistor vorgesehenen Source-Gebiet verbundene Verbindungsschicht.
21. Halbleitereinrichtung mit einem rechteckigen Halbleiterchip (3) und einem auf der Hauptoberfläche (3a) des Halbleiterchips (3) gebildeten MOS-Feldeffekttransistor (5) und Trench-Kondensator (7), wobei die Hauptoberfläche (3a) des Halbleiterchips (3) die (100)-Ebene ist und die vier seitlichen Begrenzungsflächen (3b, 3c, 3d, 3e) des Chips (110)-Ebenen sind, der MOS-Feldeffekttransistor (5) eine sich parallel oder senkrecht zu den vier äußeren Begrenzungsflächen (3b, 3c, 3d, 3e) des Halbleiterchips (3) erstreckende Gateelektrode (6a) und ein sich senkrecht zur Gateelektrode (6a) erstreckendes aktives Gebiet (6b) aufweist und der Trench-Kondensator als Graben in Form eines rechteckigen Prismas mit vier inneren Begrenzungsflächen (7a, 7b, 7c, 7d), die (100)-Ebenen sind, gebildet ist.
22. Halbleitereinrichtung nach Anspruch 21, dadurch gekennzeichnet, daß der Trench-Kondensator eine als untere Elektrode dienende, auf mindestens einer der inneren Oberflächen (7a bis 7d) und der Bodenfläche (7d) des Grabens gebildete Störstellendifusionsschicht, eine auf der inneren Oberfläche des Grabens gebildete, als dielektrische Schicht dienende Oxidschicht und eine auf der Oxidschicht gebildete obere Elektrode aufweist.
23. Halbleitereinrichtung nach Anspruch 21 und 22, dadurch gekennzeichnet, daß der Halbleiterchip (3) aus einkristallinem Silizium gebildet ist.
24. Halbleitereinrichtung nach einem der Ansprüche 21 bis 23, dadurch gekennzeichnet, daß der Halbleiterchip (3) aus einem Verbindungshalbleiter aus der Gruppe Galliumarsenid, Indiumphosphid und Silizium-Germanium gebildet ist.
25. Halbleitereinrichtung nach einem der Ansprüche 21 bis 24, dadurch gekennzeichnet, daß eine Seitenwand des Grabens des Trench-Kondensators eine Störstellendifusionsschicht eines Leitungstyps aufweist.
26. Halbleitereinrichtung nach einem der Ansprüche 21 bis 25, dadurch gekennzeichnet, daß eine innere Wandoberfläche des Grabens des Trench-Kondensators eine Oxidschicht aufweist.
27. Halbleitereinrichtung nach einem der Ansprüche 21 bis 26, dadurch gekennzeichnet, daß ein Innenteil des Trench-Kondensators polykristallines Silizium enthält.
28. Halbleitereinrichtung nach einem der Ansprüche 21 bis 27, dadurch gekennzeichnet, daß ein im MOS-Feldeffekttransistor vorgesehenes Drain-

- Gebiet elektrisch mit einer in der Seitenwand des Grabens des Trench-Kondensators angeordneten Störstellendifusionsschicht in Kontakt steht.
29. Halbleitereinrichtung nach einem der Ansprüche 21 bis 28, gekennzeichnet durch eine elektrisch mit einem im MOS-Feldeffekttransistor vorgesehenen Source-Gebiet verbundene Verbindungsschicht.
30. Halbleiterchip mit einer Hauptoberfläche (3a) der (100)-Ebene und vier äußeren Begrenzungsflächen (3b, 3c, 3d, 3e) der (110)-Ebene mit einem auf dem Halbleiterchip (3) gebildeten Trench-Kondensator, der einen Graben (7) mit vier inneren Begrenzungsflächen (7a, 7b, 7c, 7d), die als (100)-Ebene gewählt sind, aufweist, wobei eine Schnittlinie (11) der Hauptoberfläche (3a) und der (111)-Ebene des Halbleiterchips (3) parallel oder senkrecht zur Hauptoberfläche (3a) des Halbleiterchips (3) vorhanden ist.
31. Halbleitereinrichtung mit einem Halbleitersubstrat (1) mit einer Hauptoberfläche (1a), vier äußeren Begrenzungsflächen (3b, 3c, 3d, 3e) und einem in Tiefenrichtung des Substrates von der Hauptoberfläche (1a) aus gebildeten Graben, der vier innere Begrenzungsflächen (7a, 7b, 7c, 7d) aufweist und einem MOS-Feldeffekttransistor (5), der ein Paar von Dotierungsgebieten, wobei ein Gebiet des Halbleitersubstrates (1) längs der inneren Oberfläche des Grabens (7) ein Kanalgebiet (13) ist, eine auf dem Kanalgebiet (13) gebildete Gateisolierschicht (7g) und eine auf der Gateisolierschicht (7g) und längs der inneren Oberfläche des Grabens gebildete Gateelektrode (6a) aufweist, wobei die Hauptoberfläche (1a) eine (100)-Ebene ist, die vier äußeren Begrenzungsflächen (3b, 3c, 3d, 3e) (110)-Ebenen und die vier inneren Begrenzungsflächen (7a, 7b, 7c, 7d) (100)-Ebenen sind.
32. Verfahren zur Herstellung einer Halbleitereinrichtung mit den Schritten:
- Bilden eines Grabens mit vier inneren Begrenzungsflächen (7a, 7b, 7c, 7d), die als (100)-Ebenen vorgegeben sind, in einem Halbleiterwafer (1) mit einer Hauptoberfläche (1a) der in (110)-Ebene, Bilden einer ersten leitenden Schicht (7f) längs mindestens einer inneren Oberfläche des Grabens, Bilden einer Isolierschicht (7g) auf mindestens einer inneren Oberfläche der ersten leitenden Schicht (7f), Bilden einer zweiten leitenden Schicht (7h) auf einer oberen Oberfläche der Isolierschicht (7g) und Zerschneiden des Halbleiterwafers (1) längs der Richtung einer Schnittlinie (2a, 2b) der Hauptoberfläche (1a) mit der (111)-Ebene des Halbleiterwafers (1) zur Bildung eines Halbleiterchips (3) mit vier äußeren Begrenzungsflächen (3a, 3b, 3c, 3d), die (110)-Ebenen sind.
33. Verfahren zur Herstellung einer Halbleitereinrichtung nach Anspruch 32, dadurch gekennzeichnet, daß der Halbleiterwafer (1) einen Orientierungs-Anschliff (1b) der (110)-Ebene aufweist.
34. Verfahren zur Herstellung einer Halbleitereinrichtung nach Anspruch 32 oder 33, dadurch gekennzeichnet, daß die Isolierschicht (7g) eine auf der inneren Oberfläche des Grabens gebildete Oxidschicht ist.
35. Verfahren zur Herstellung einer Halbleitereinrichtung nach einem der Ansprüche 32 bis 34, dadurch gekennzeichnet, daß die erste leitende

Schicht (7f) eine auf der inneren Oberfläche des Grabens durch schräge Ionenimplantation gebildete Störstellendiffusionsschicht.

36. Verfahren zur Herstellung einer Halbleitereinrichtung unter Einschluß der Schritte des Verbringens eines Halbleiterwafers (1) in eine vorbestimmte Orientierung, des Bildens einer Speichereinrichtung unter Einschluß eines MOS-Feldeffekttransistors (5) und eines Trench-Kondensators (7) auf dem Halbleiterwafer (1), des Zerschneidens des Halbleiterwafers (1) in Halbleiterchips (3) mit einer Hauptoberfläche (3a) und vier äußeren Begrenzungsflächen (3b, 3c, 3d, 3e), gekennzeichnet durch die Schritte:

Bilden eines Grabens mit vier inneren Begrenzungsflächen (7a bis 7d), die als (100)-Ebene vorgegeben sind, in der Hauptoberfläche (3a) des Halbleiterwafers (1),

Bilden eines MOS-Feldeffekttransistors (5) auf der Hauptoberfläche (1a) des Halbleiterwafers (1),

Bilden eines Kondensators längs mindestens einer inneren Oberfläche eines Grabens und Zerschneiden des Halbleiterwafers (1) längs der Richtung einer Schnittlinie (11) der Hauptoberfläche (1a) mit der (111)-Ebene des Halbleiterwafers (1) zur Bildung von Halbleiterchips (3) mit vier äußeren Begrenzungsflächen (3b bis 3e), die (110)-Ebenen sind.

37. Verfahren zur Herstellung einer Halbleitereinrichtung mit einem auf einem Halbleiterwafer mit einer Hauptoberfläche der (100)-Ebene gebildeten MOS-Feldeffekttransistor mit den Schritten:

Bilden eines Grabens mit vier inneren Begrenzungsflächen (7a, 7b, 7c, 7d), die als (100)-Ebenen gewählt sind, in der Hauptoberfläche (1a) des Halbleiterwafers (1),

Bilden von Source-/Drain-Gebieten (13, 14) durch Ionenimplantation von Dotierungsstoffen in mindestens eine der inneren Oberflächen (7a, 7b, 7c, 7d) des Grabens,

Bilden eines Gateisolierfilms (7g) durch thermische Oxidation auf der inneren Oberfläche des Grabens, Bilden einer Gateelektrode (6a) auf dem Gateisolierfilm (7g) auf der inneren Oberfläche des Grabens und

Zerschneiden des Halbleiterwafers (1) in Richtung einer Schnittlinie (11) der (111)-Ebene des Halbleiterwafers (1) zur Bildung von Halbleiterchips (3) mit vier äußeren Begrenzungsflächen (3b, 3c, 3d, 3e), die als (110)-Ebenen vorgegeben sind.

38. Verfahren zur Herstellung eines Halbleiterwafers mit den Schritten:

Versetzen eines Halbleiterwafers (1) in eine vorbestimmte Orientierung (1b),

Ausbilden von Schaltungselementen unter Einschluß einer Speicherzelle mit einem MOS-Feldeffekttransistor (5) und einem Trench-Kondensator (7) auf dem Halbleiterwafer (1) und

Zerschneiden des Halbleiterwafers in rechteckige Halbleiterchips (3), wobei

eine Hauptoberfläche des Halbleiterwafers (1) als (100)-Ebene und ein Orientierungs-Anschliff (1b) als (110)-Ebene im Schritt des Versetzens in eine vorbestimmte Orientierung festgelegt werden, wobei

eine einen Bestandteil des MOS-Feldeffekttransistors (5) bildende Gateelektrode (6a) und ein aktives Gebiet (6b), daß sich senkrecht zur Längsrich-

tung der Gateelektrode (6a) erstreckt, so gemustert werden, daß sie sich parallel oder senkrecht zur Richtung des Zerschneidens erstrecken, und der Trench-Kondensator (7) so gemustert wird, daß er ein rechteckiges Prisma, dessen rechteckiger Querschnitt unter einem Winkel von 45° bezüglich der Richtung des Zerschneidens steht, darstellt und der Halbleiterwafer (1) in Richtungen senkrecht und parallel zum Orientierungs-Anschliff (1b) so zerschnitten wird, daß die vier äußeren Begrenzungsflächen (3b, 3c, 3d, 3e) des Halbleiterchips (3) im Schritt des Zerschneidens als (110)-Ebenen vorgegeben werden.

39. Verfahren zur Herstellung einer Halbleitereinrichtung nach Anspruch 38, dadurch gekennzeichnet, daß der Schritt des Musterns von Schaltungselementen den Schritt des Bildens des Trench-Kondensators unter Verwendung einer Retikelmaste mit rechteckigen, um 45° bezüglich der Bezugsoberfläche des Orientierungs-Anschliffes (1b) geneigten Öffnungen aufweist.

40. Verfahren zur Herstellung einer Halbleitereinrichtung nach Anspruch 38 oder 39, gekennzeichnet durch einen Schritt Implantierens und Diffundierens von Dotierungsstoffen zur Erzeugung eines Leitungstyps in eine Innenwand des Grabens, wo der Trench-Kondensator gebildet wird, zur Bildung einer Dotierungsschicht als Speicherknoten.

41. Verfahren zur Herstellung einer Halbleitereinrichtung nach einem der Ansprüche 38 bis 40, gekennzeichnet durch den Schritt des gleichzeitigen Bildens einer Gateoxidschicht (7g) und einer Oxidschicht des Trench-Kondensators durch thermische Oxidation nach der Bildung des Grabens, in dem der Trench-Kondensator gebildet wird.

42. Verfahren zur Herstellung einer Halbleitereinrichtung nach einem der Ansprüche 38 bis 41, gekennzeichnet durch einen Schritt des Abscheidens von Polysilizium in den Graben, wo der Trench-Kondensator gebildet wird, zur Bildung einer Zellplatte.

Hierzu 29 Seite(n) Zeichnungen

FIG. 1

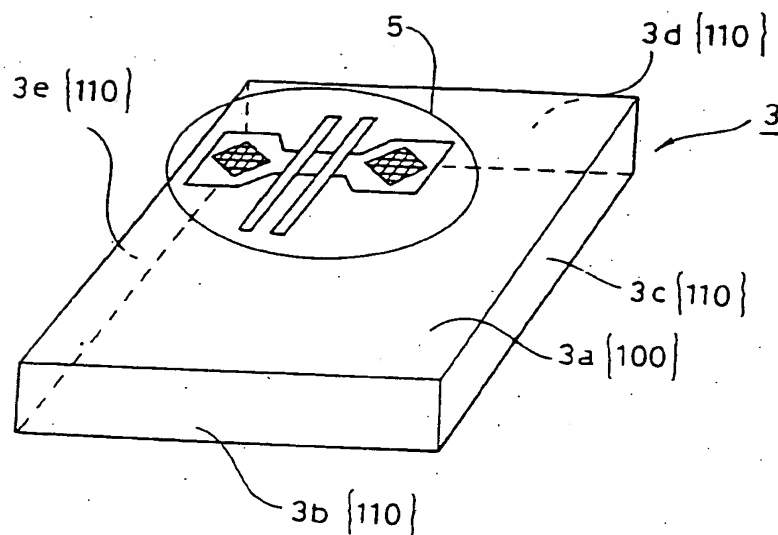


FIG. 2

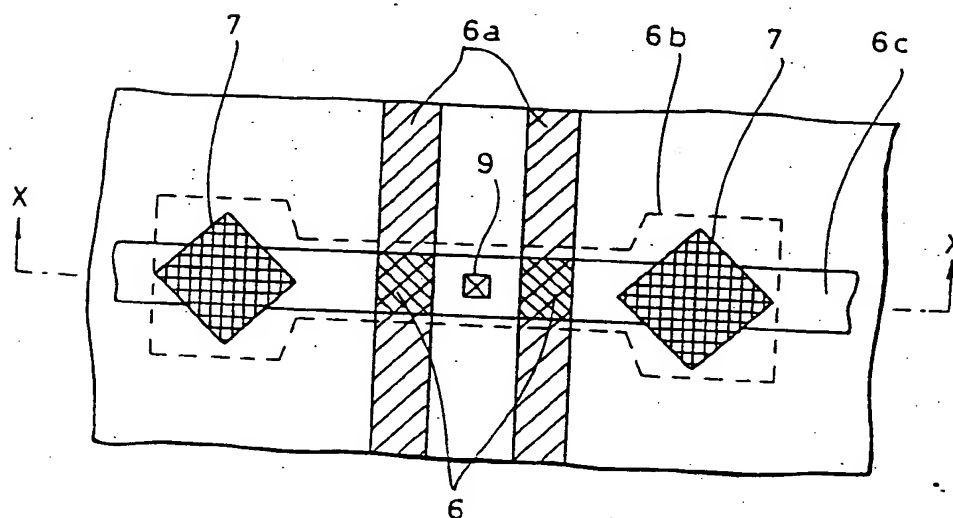




FIG. 3

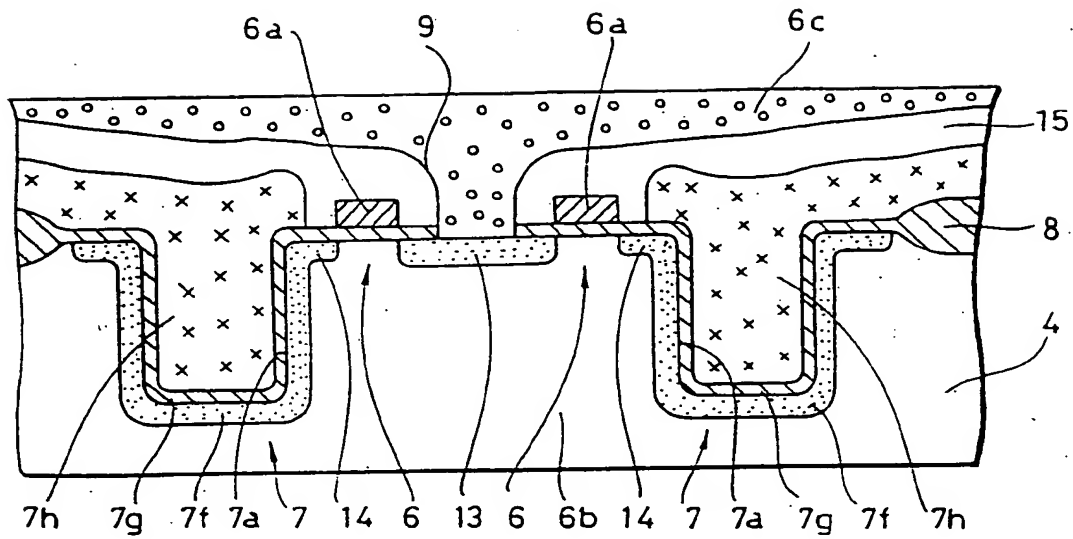


FIG. 4

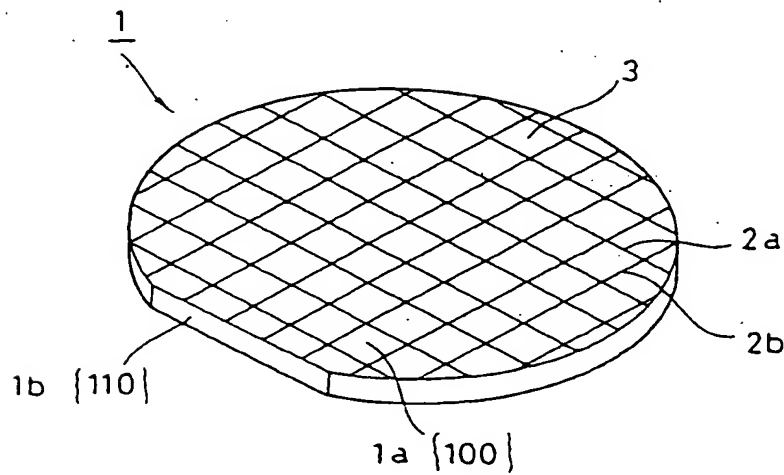


FIG. 5

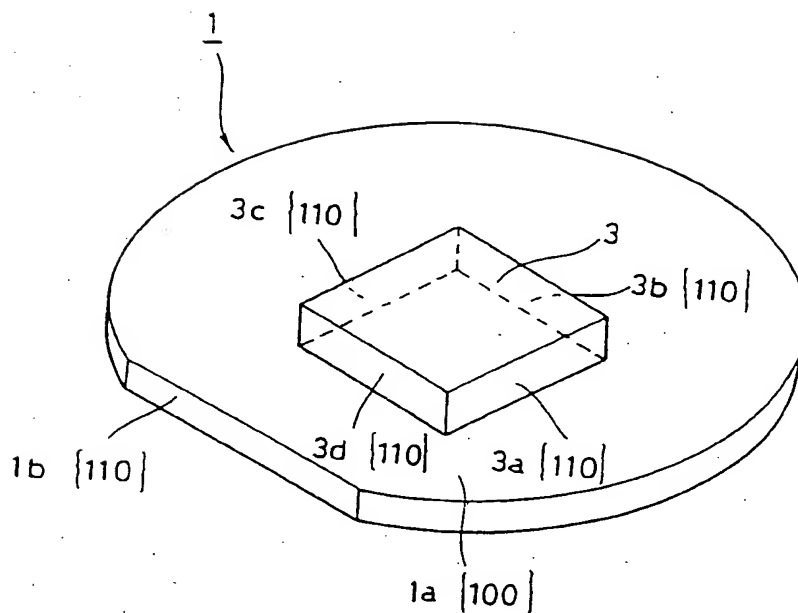


FIG. 6

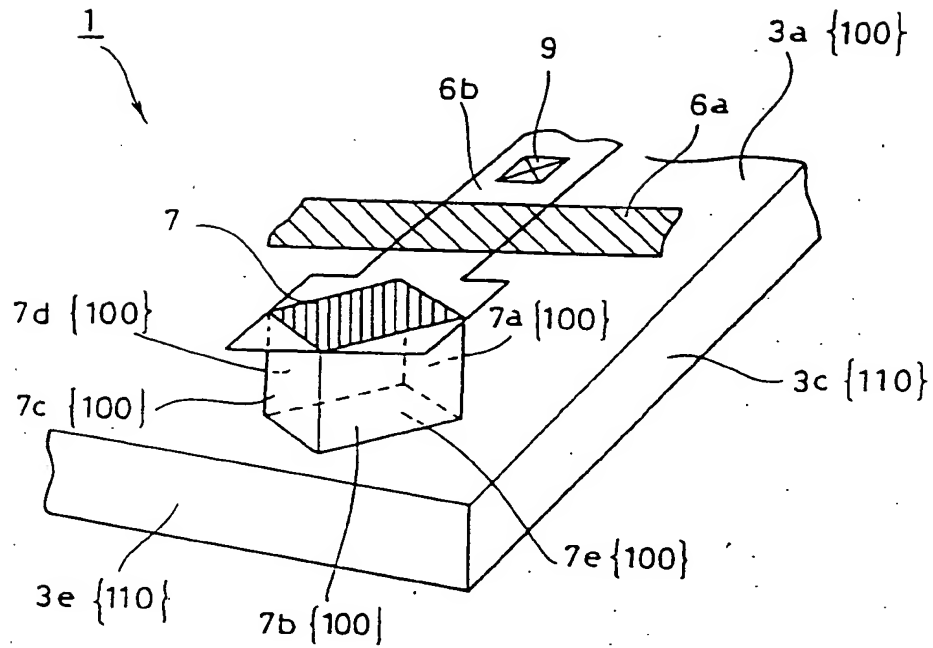


FIG. 7

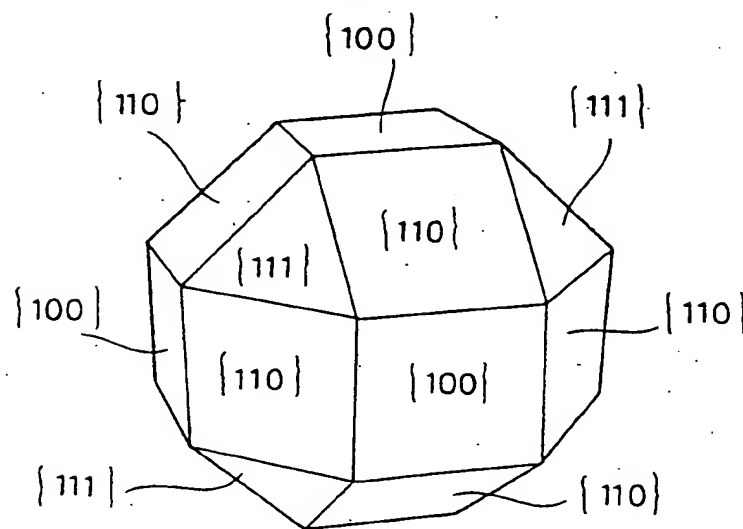




FIG. 9

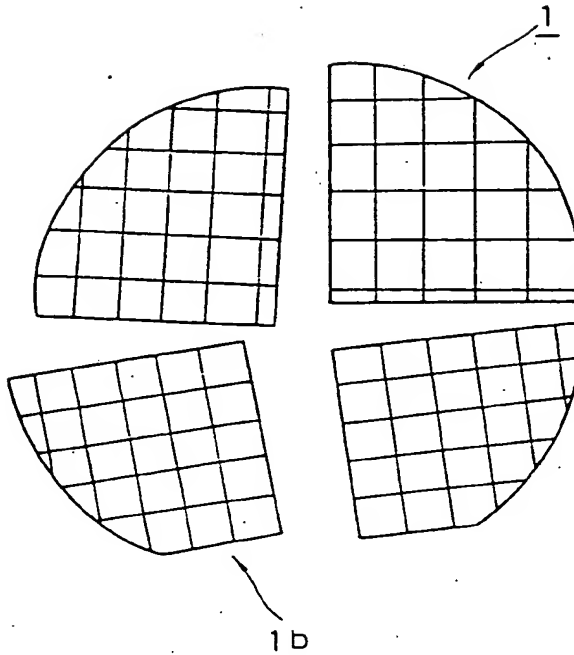
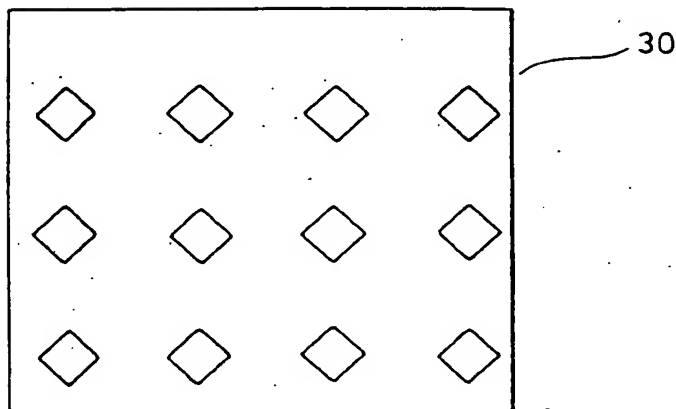


FIG. 10



Bezugsebene des  
Orientierungs-Anschliffs

FIG. 11

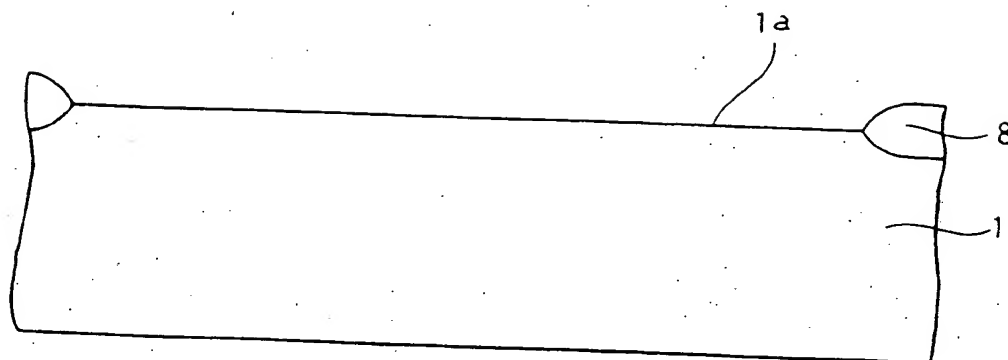


FIG. 12

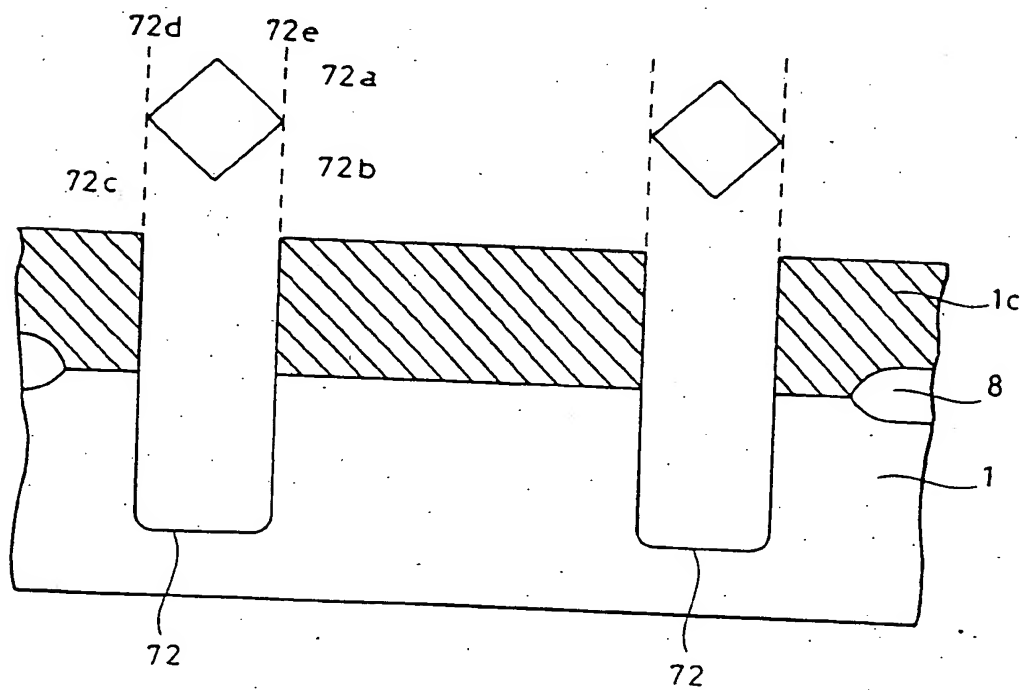


FIG. 13

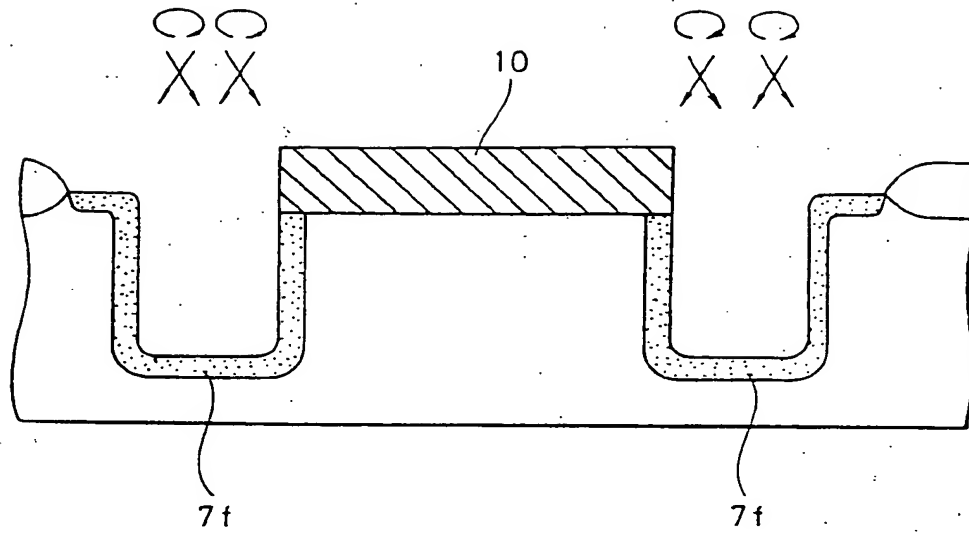


FIG. 14

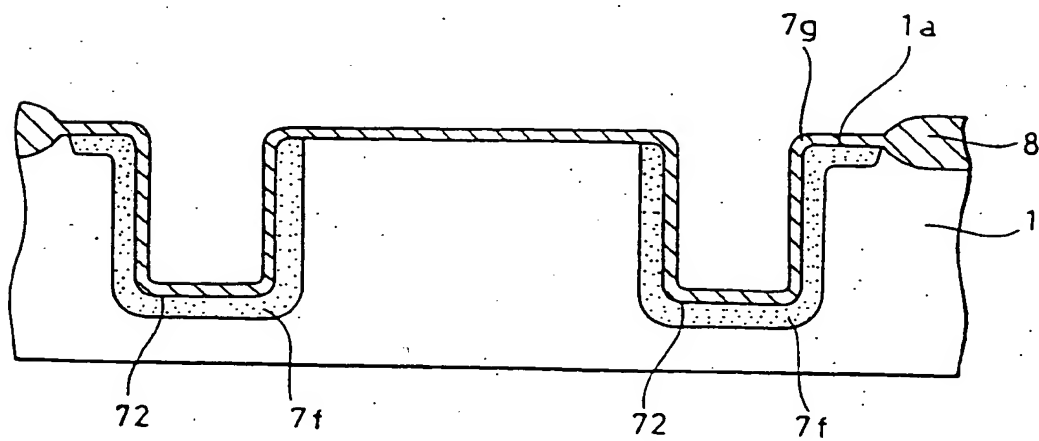


FIG. 15

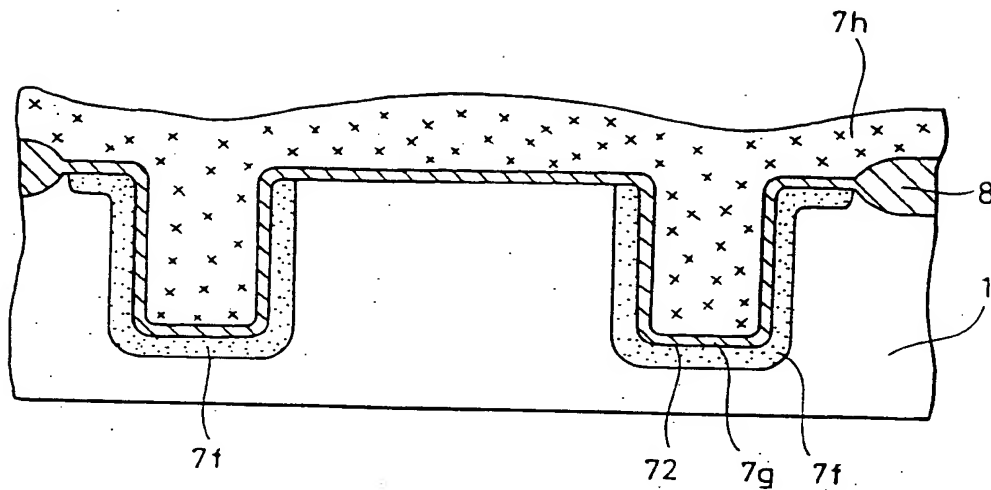


FIG. 16

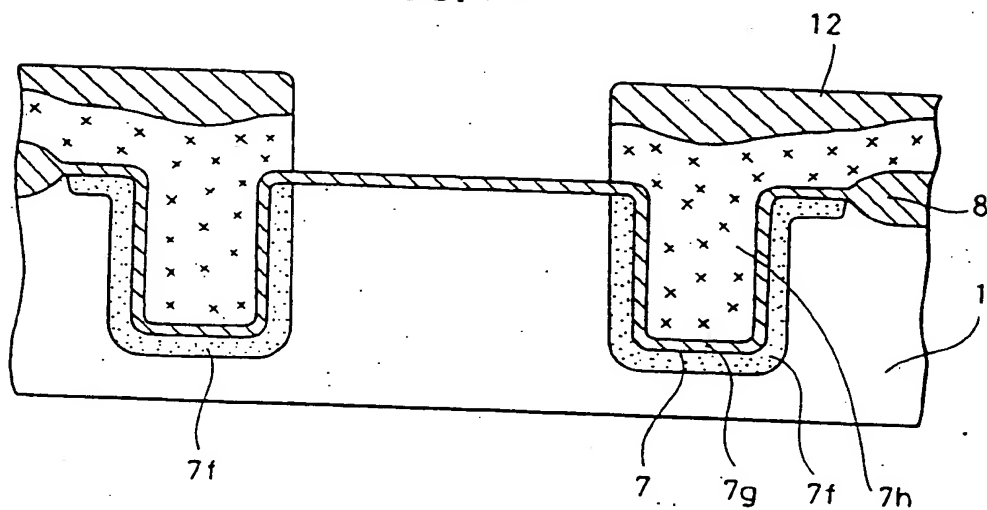




FIG. 17

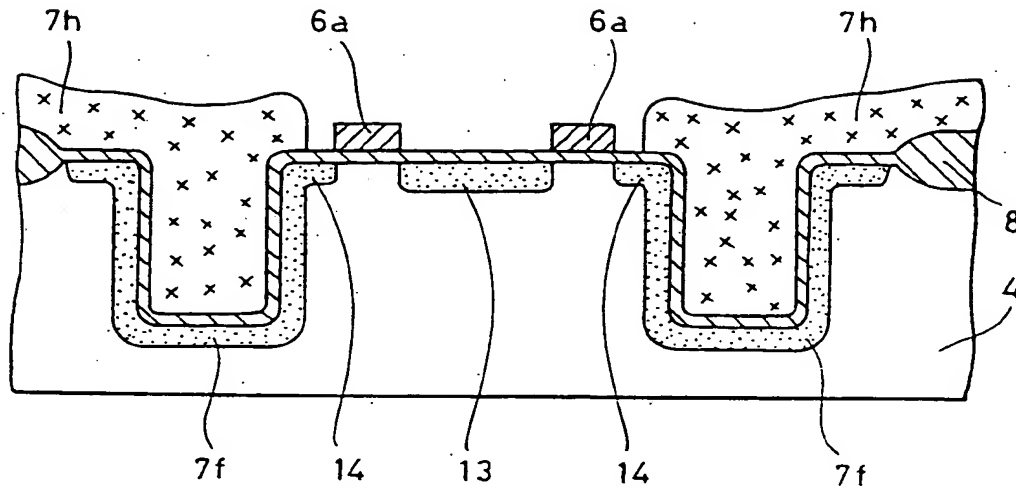


FIG. 18

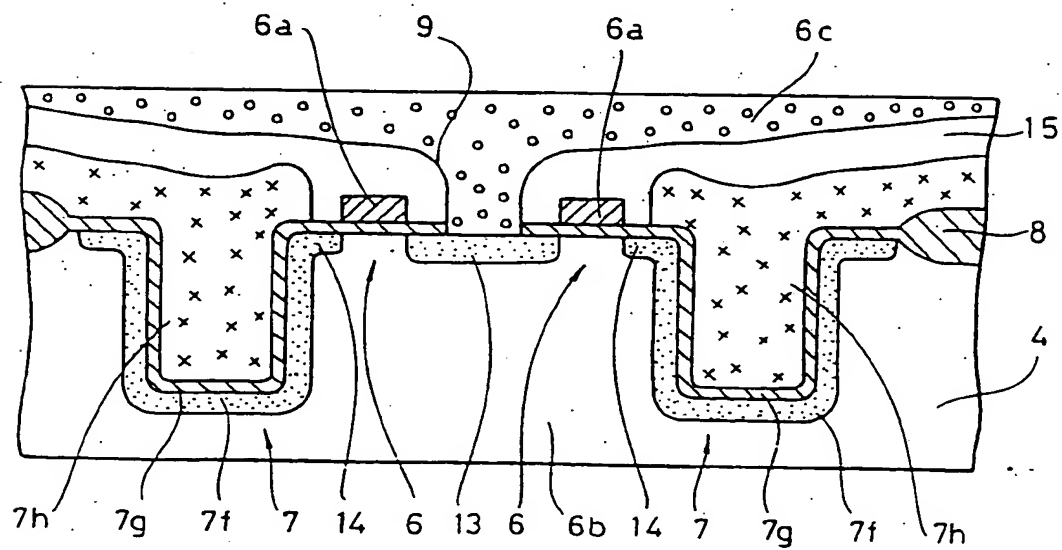


FIG. 19

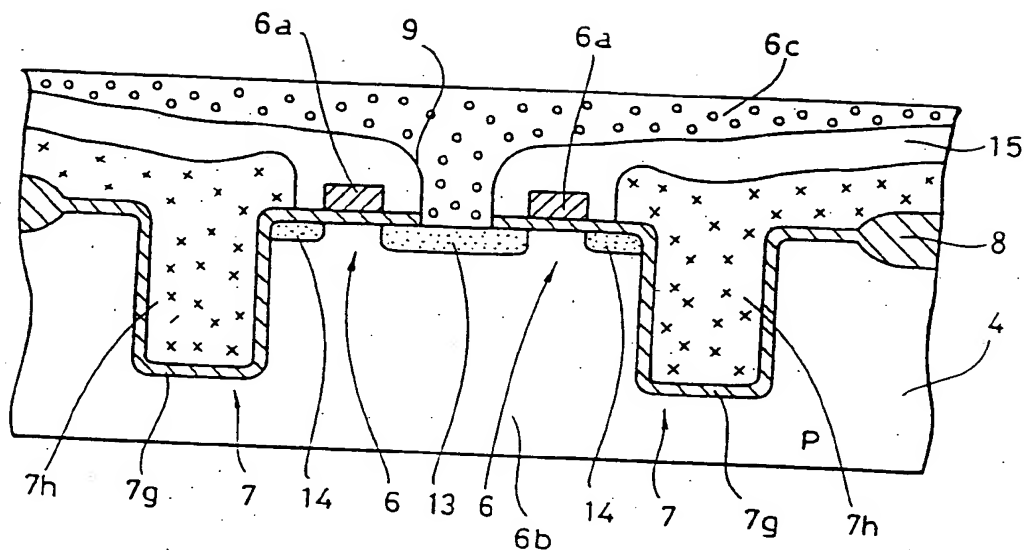


FIG. 20

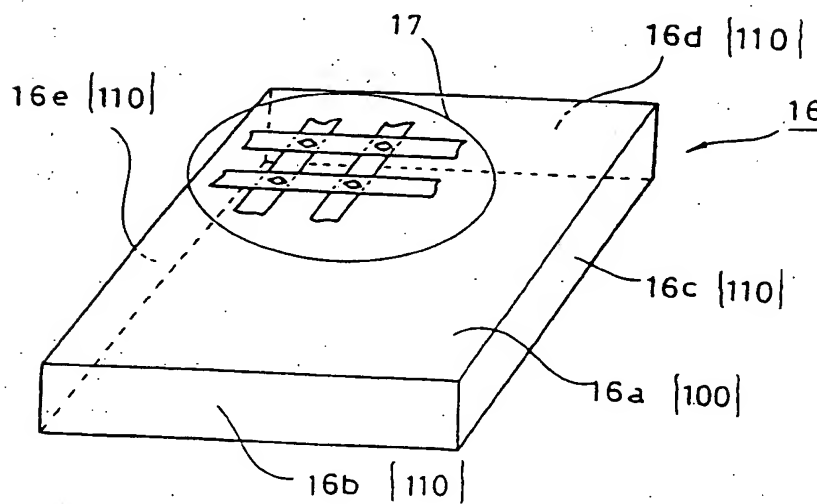


FIG. 21

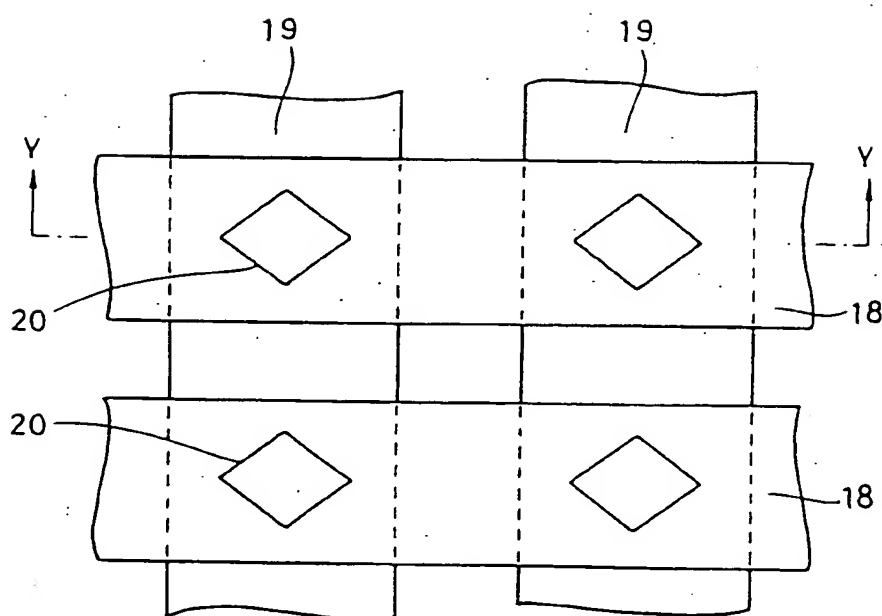




FIG. 24

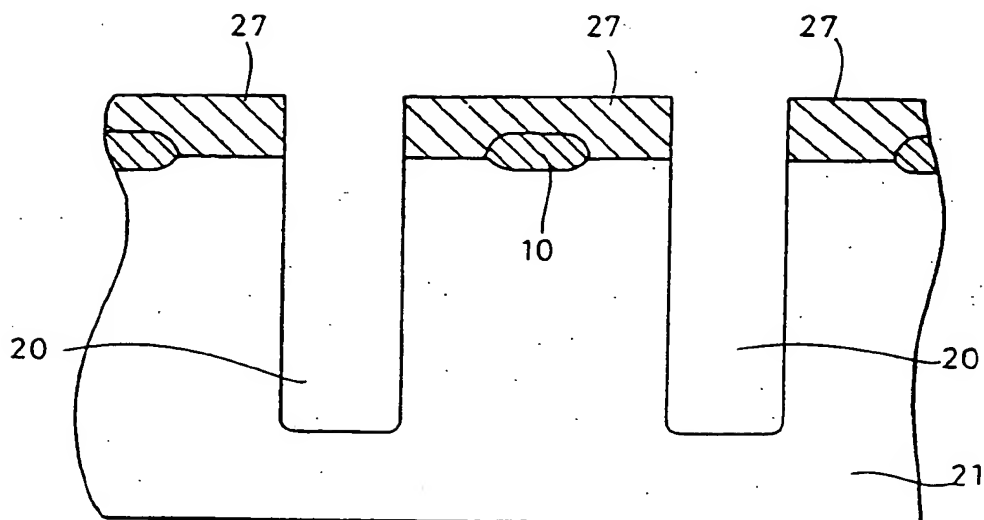


FIG. 25

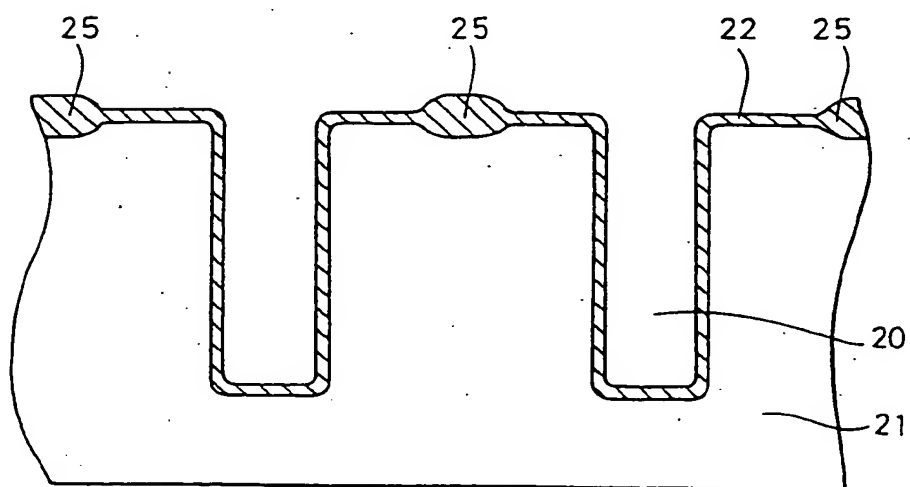


FIG. 26

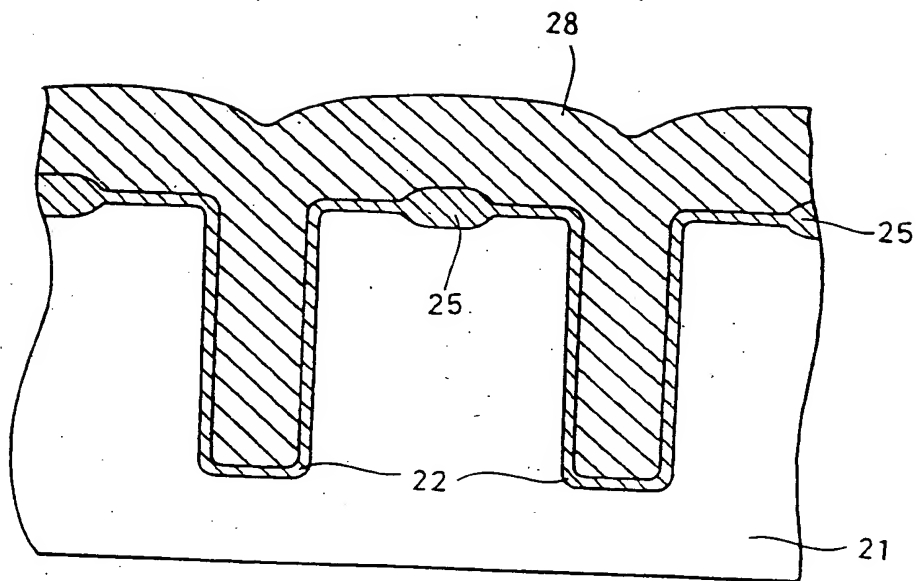


FIG. 27

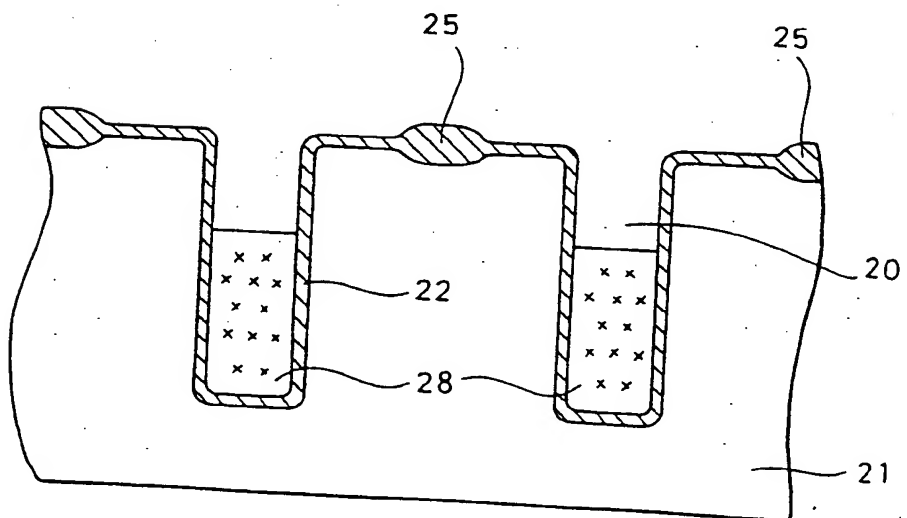


FIG. 28

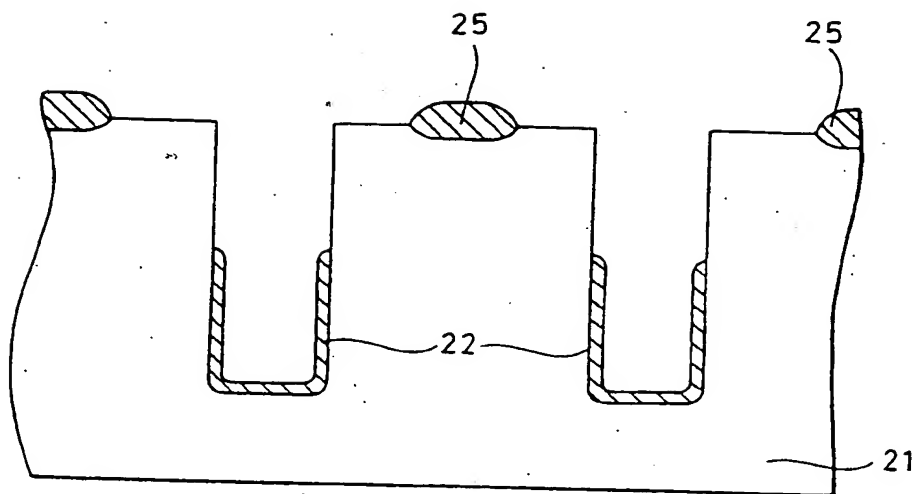


FIG. 29

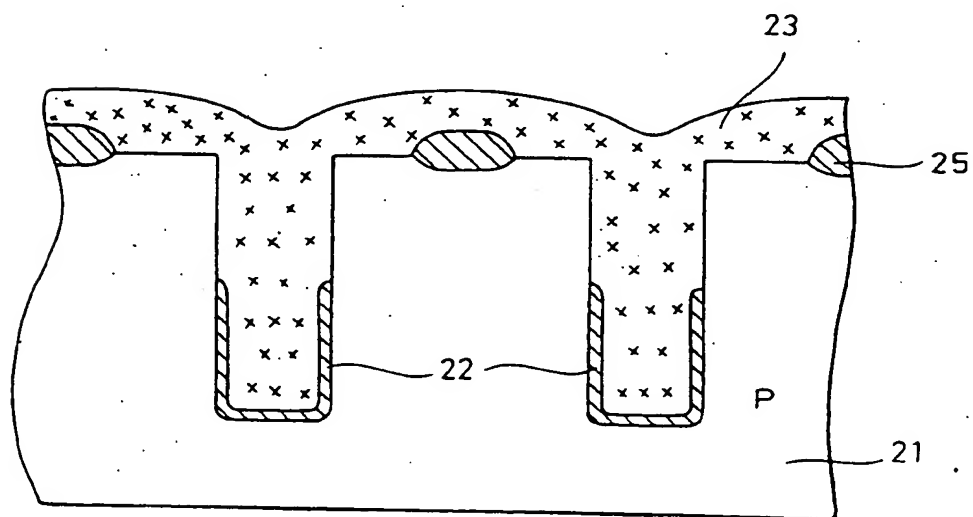


FIG. 30

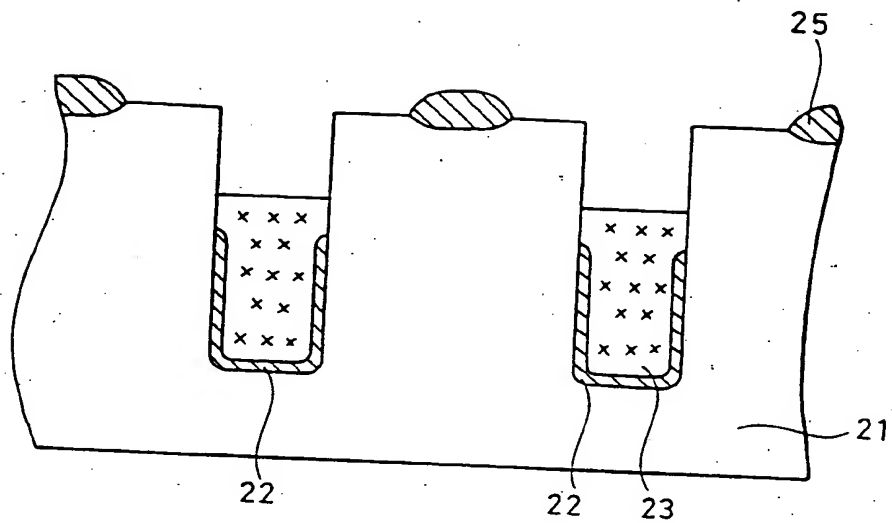


FIG. 31

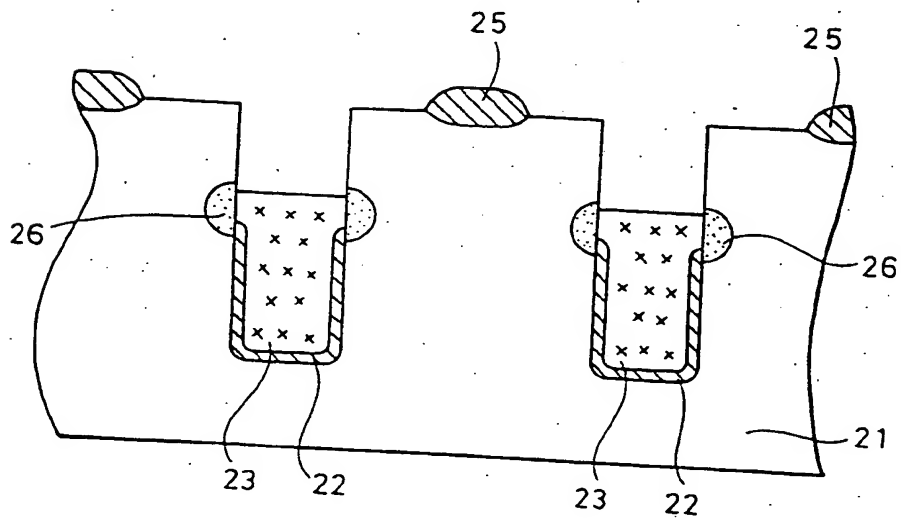




FIG. 32

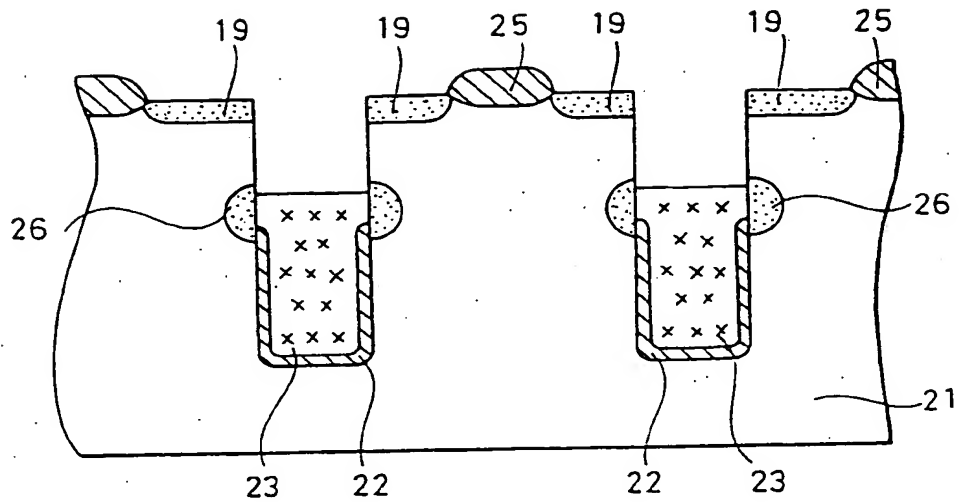


FIG. 33

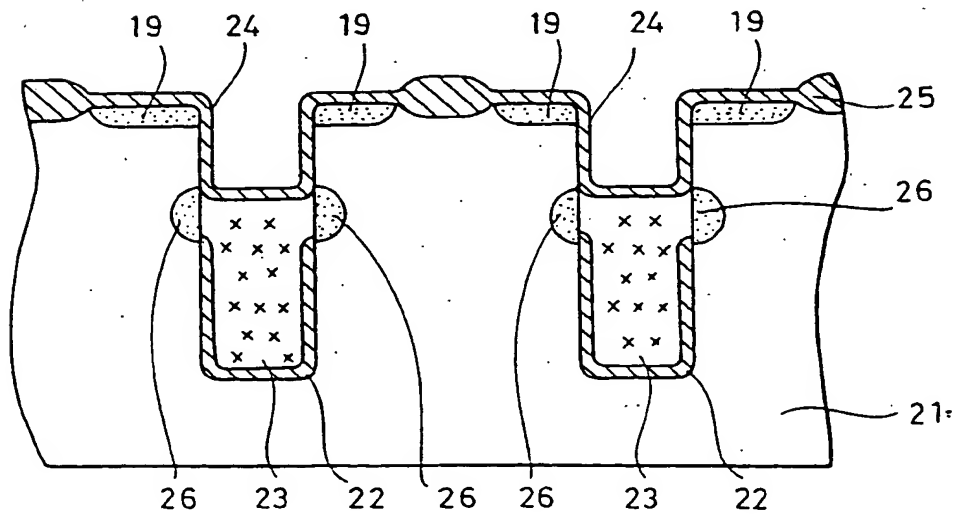


FIG. 34

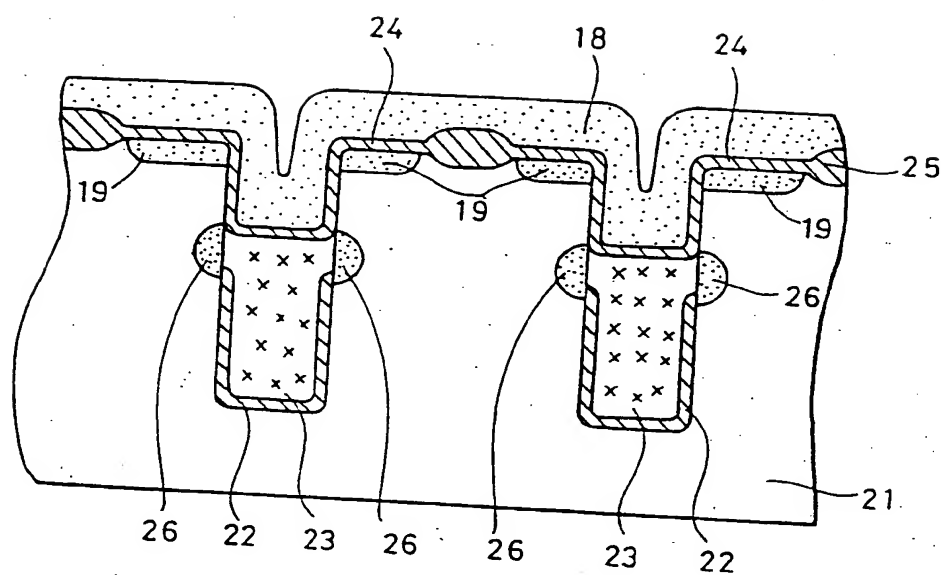


FIG. 35

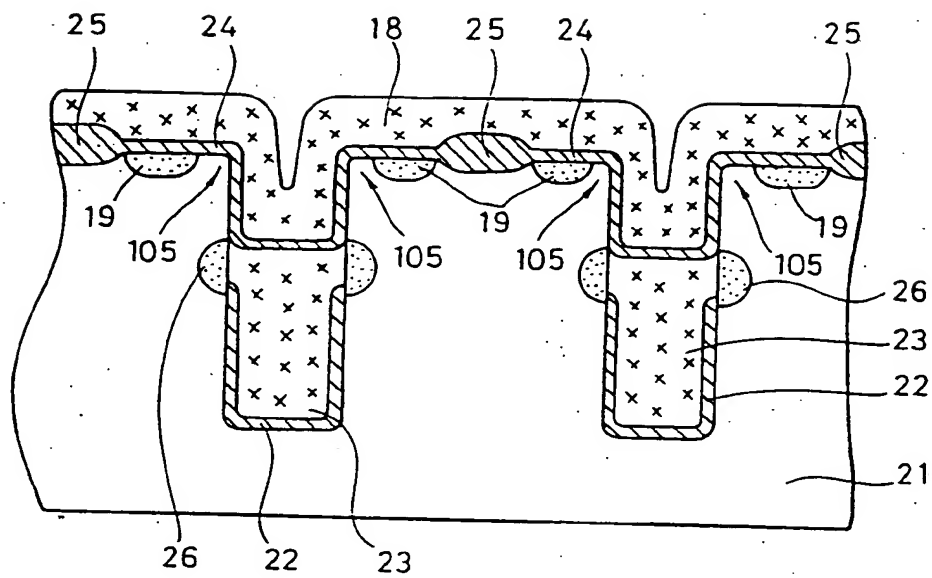


FIG. 36

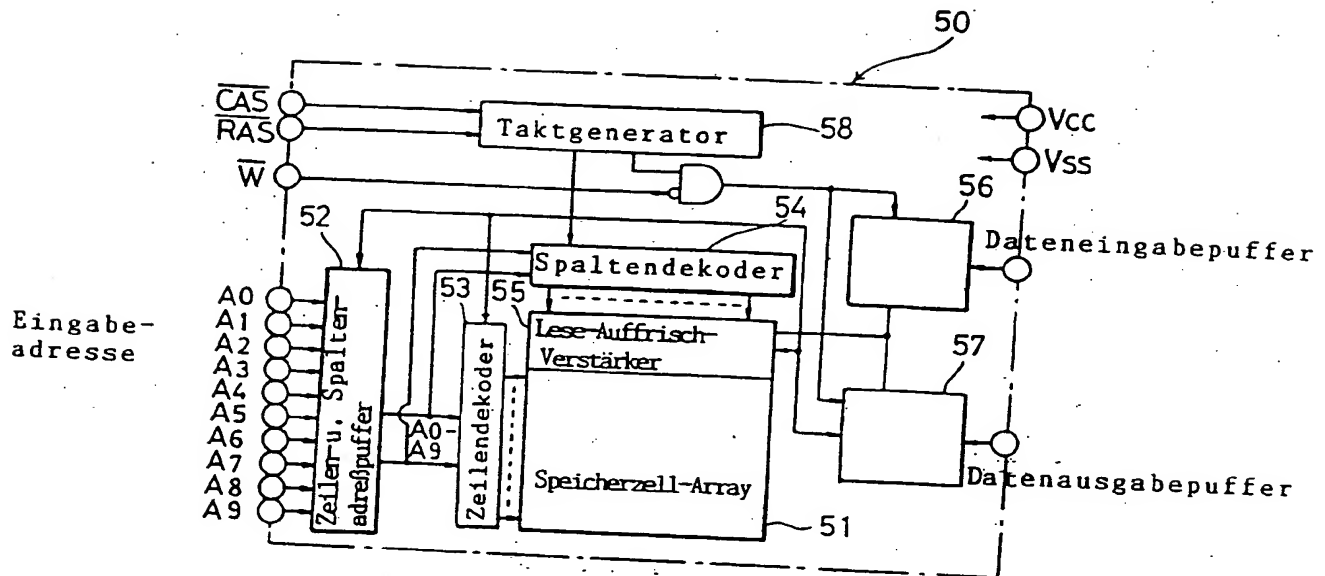


FIG. 37

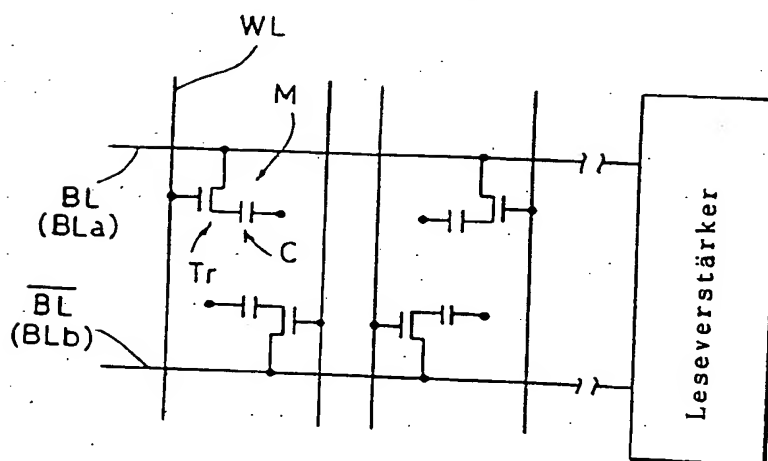


FIG. 38

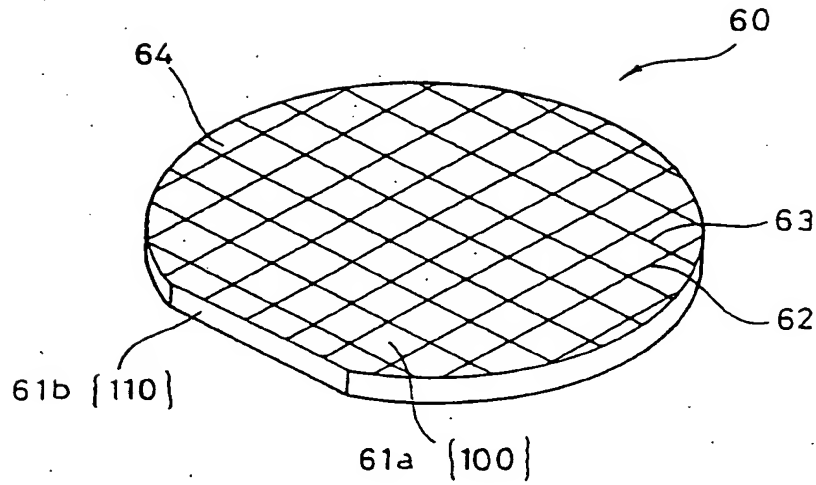


FIG. 39

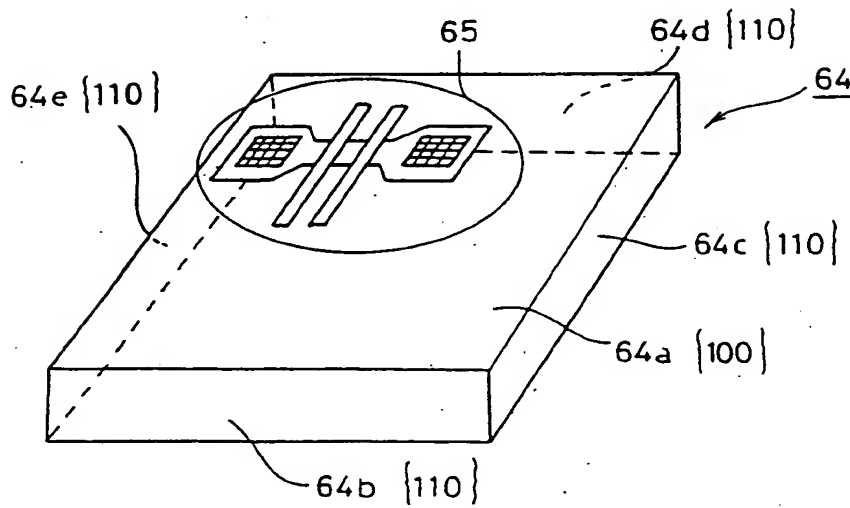


FIG. 40

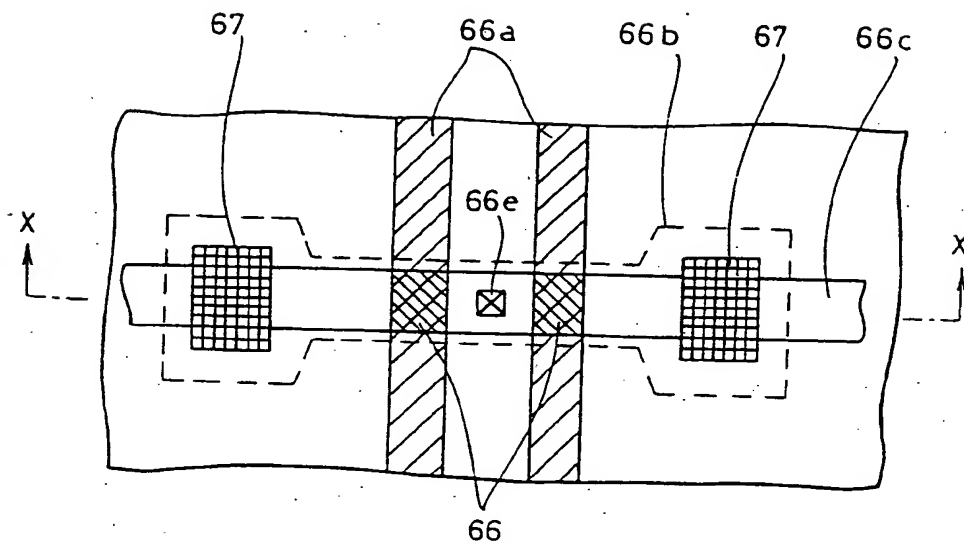


FIG. 41

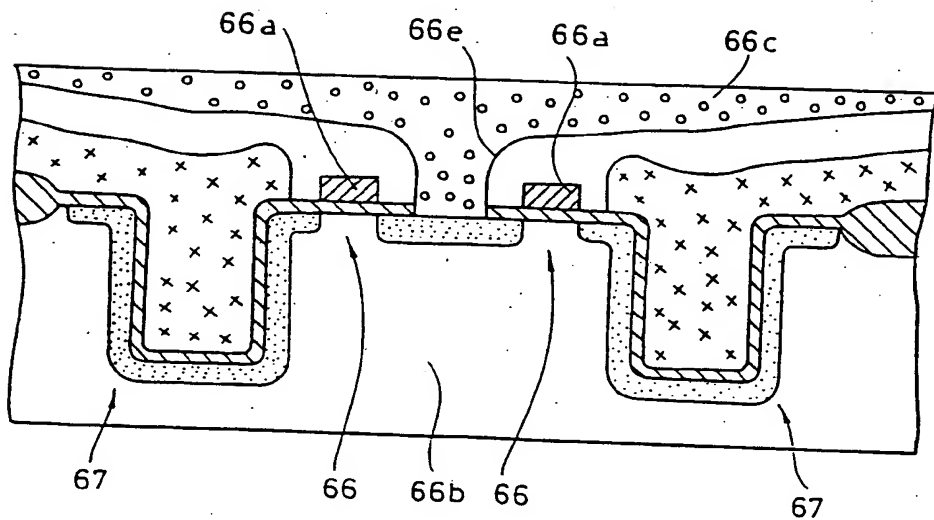


FIG. 42

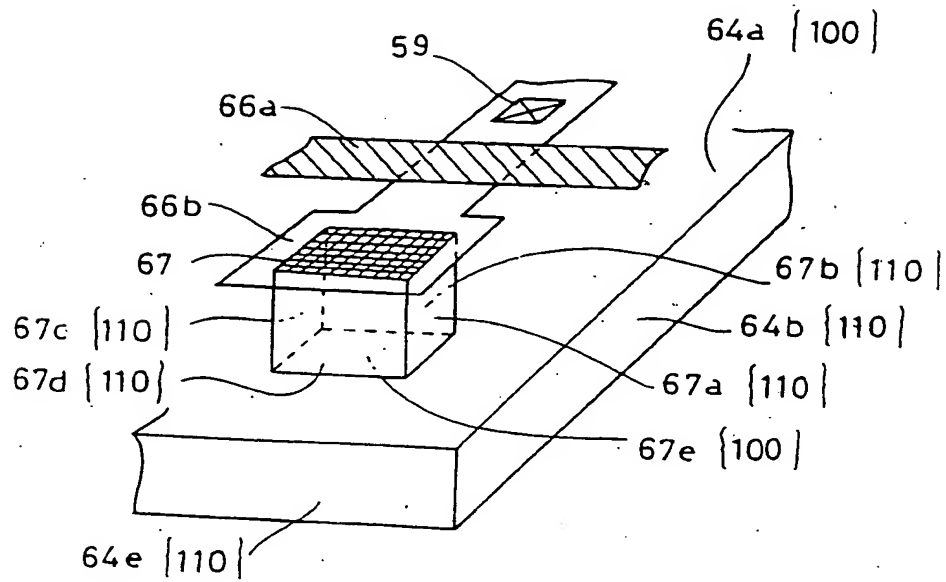


FIG. 43

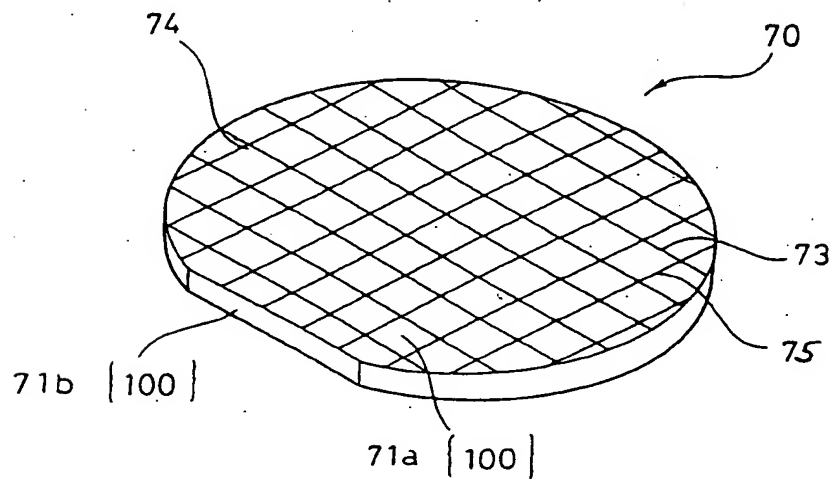


FIG. 44

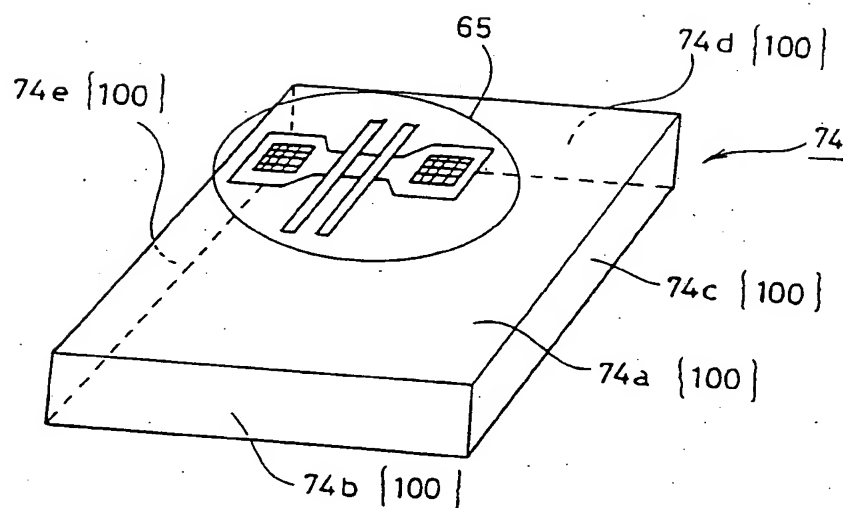




FIG. 45

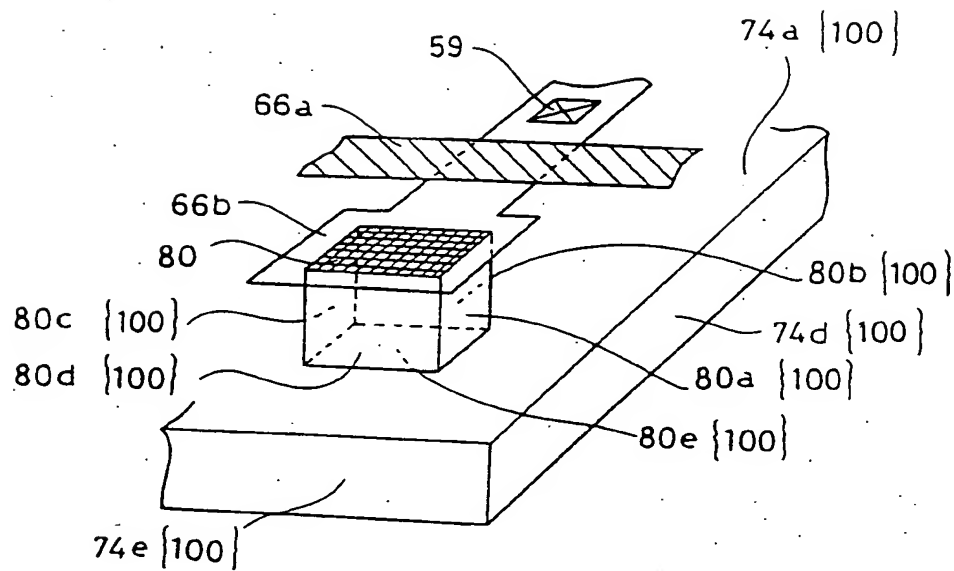


FIG. 46

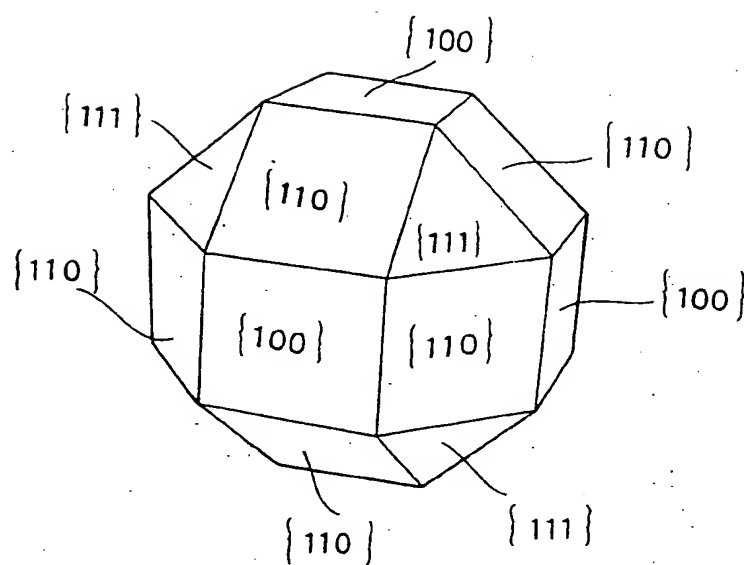


FIG. 47

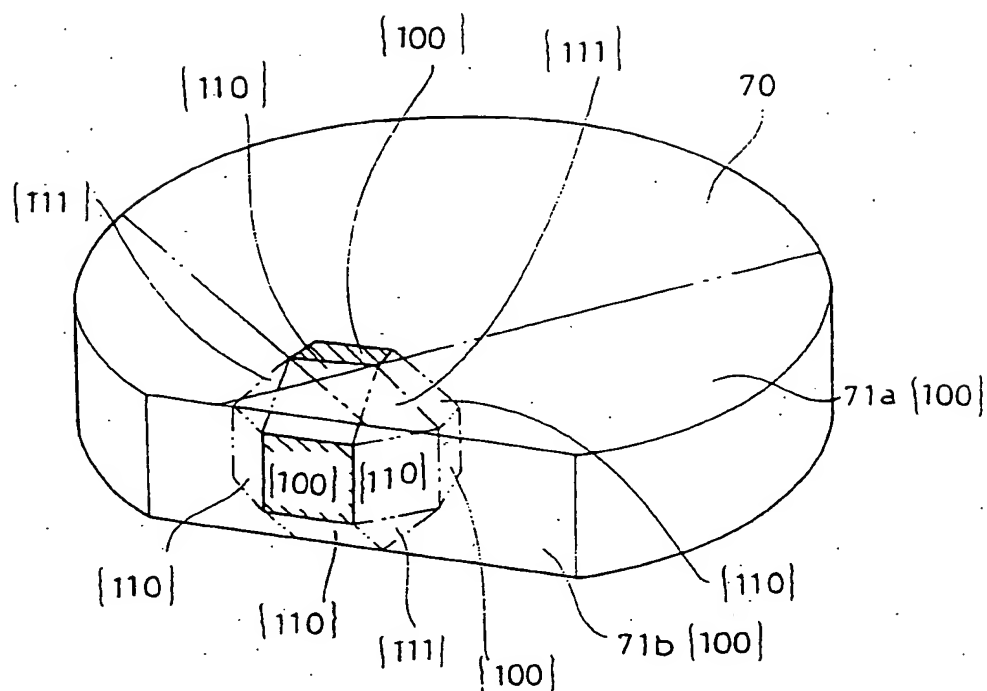


FIG. 48

